



第6章 常用时序逻辑功能器件

在本章中，重点介绍计数器和寄存器，内容包括：

1. 各种类型计数器和寄存器的电路组成；
2. 典型计数器和寄存器集成电路；
3. 计数器和寄存器的典型应用；
4. 计数器和寄存器的VHDL描述。



6.1 计数器

计数器功能: 统计输入脉冲的个数。

计数器除了直接用于计数外,还可以用于定时器、分频器、程序控制器、信号发生器等多种数字设备中。

计数器分类:

按计数器中的触发器是否同时翻转分类:

同步计数器; **异步计数器**

按计数器中数字的编码方式分类:

二进制计数器; **非二进制计数器**



6.1.1 异步计数器

1. 异步二进制计数器

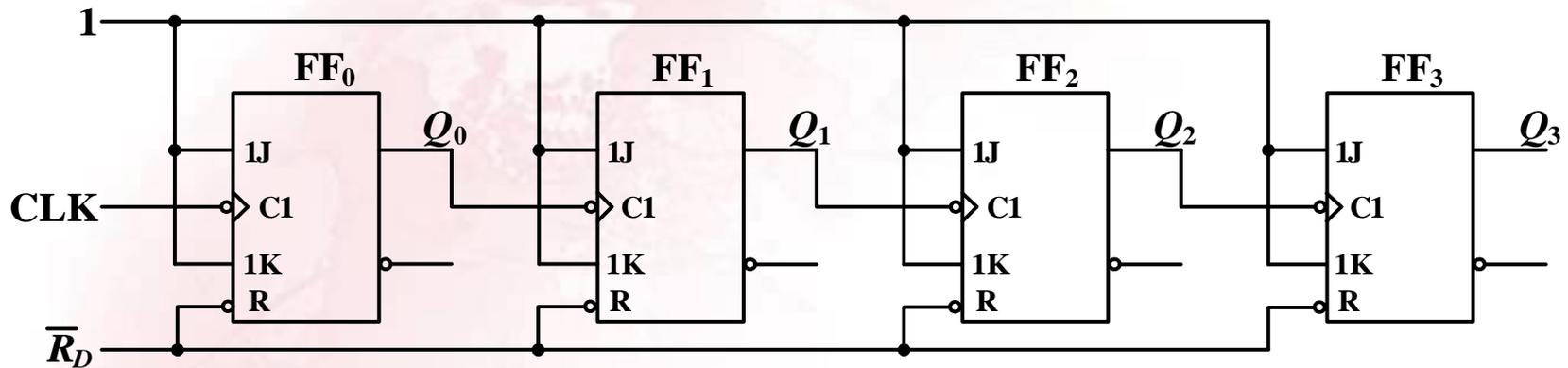
(1) 电路组成和逻辑功能分析（以加法计数讨论）

二进制加法计数时，各位码的变化规律：

- 每加1，最低位码状态改变一次；
- 低位由‘1’变‘0’，本位须改变状态。

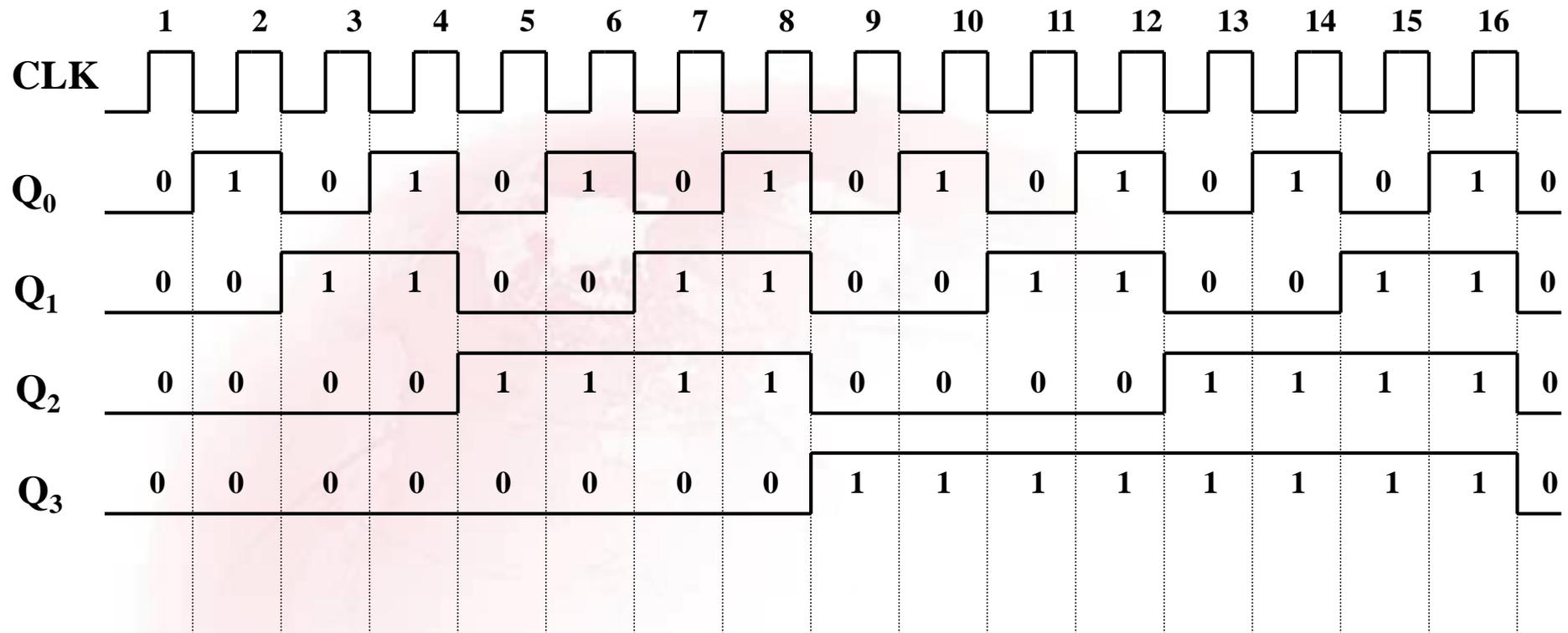


由下降边沿触发的JK触发器（已转换为T'触发器）构成的四位二进制加法计数器：



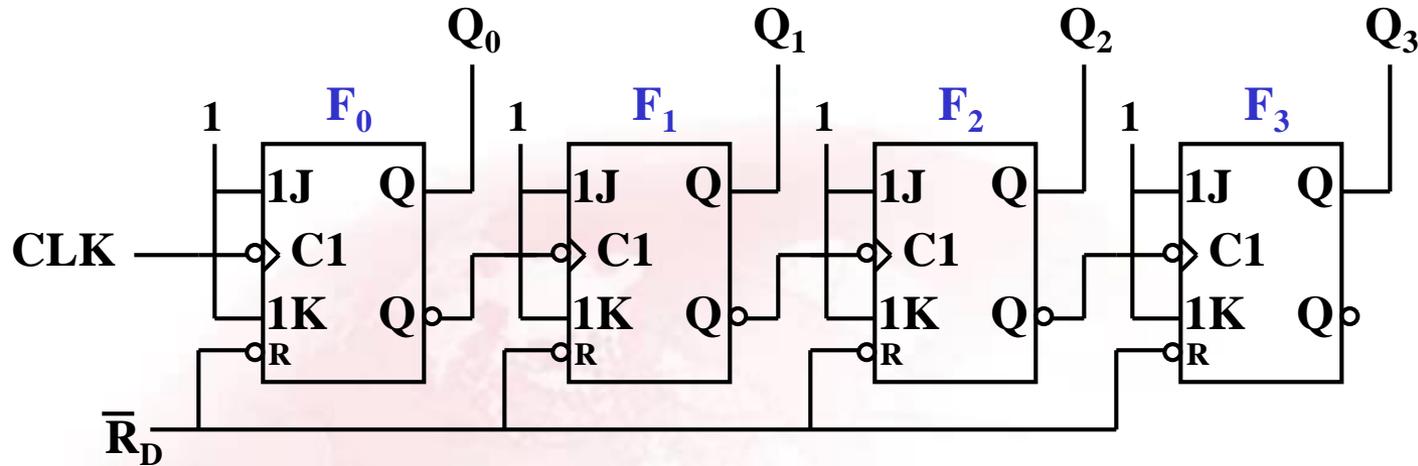


四位二进制加法计数器波形图

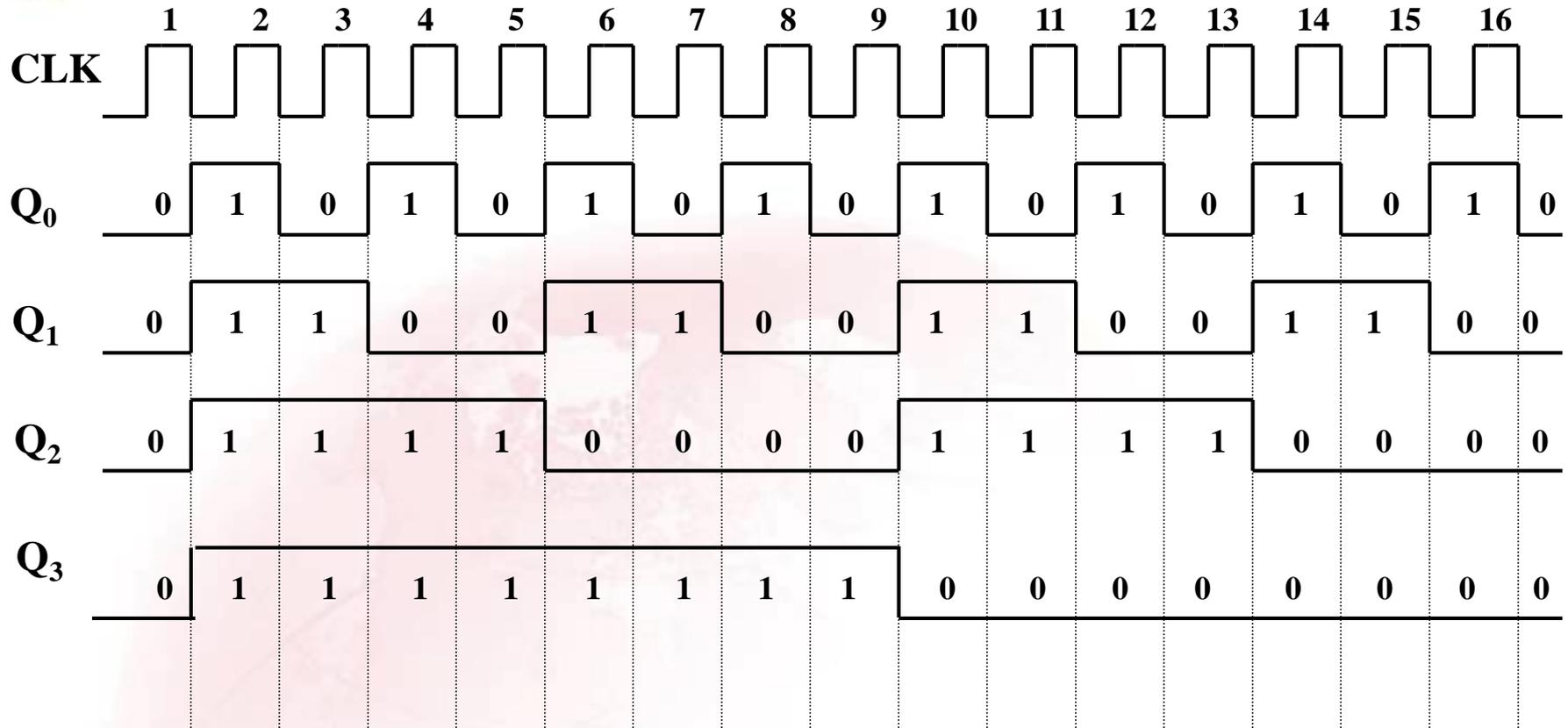




如将电路改为：



即将前一级的 \bar{Q} 端和后一级的CLK端相连，则输出波形为：



二进制减法计数器波形图



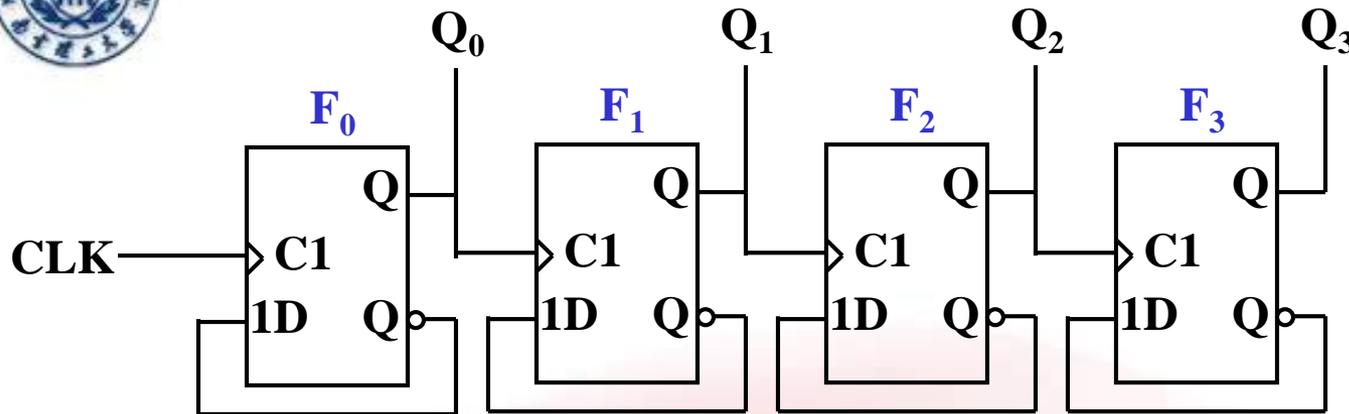
(2) 异步二进制计数器的特点

1) 异步二进制计数器可由T'触发器构成,触发器之间串接,低位触发器的输出,作为高位触发器的时钟。

当采用下降边沿触发器时,如将 Q_i 和 CLK_{i+1} 相连,则构成加法计数器;如将 \overline{Q}_i 和 CLK_{i+1} 相连,则构成减法计数器;

当采用上升边沿触发器时,如将 Q_i 和 CLK_{i+1} 相连,则构成减法计数器;如将 \overline{Q}_i 和 CLK_{i+1} 相连,则构成加法计数器;

● 用D触发器构成二进制计数器的例子:



异步二进制
减法计数器

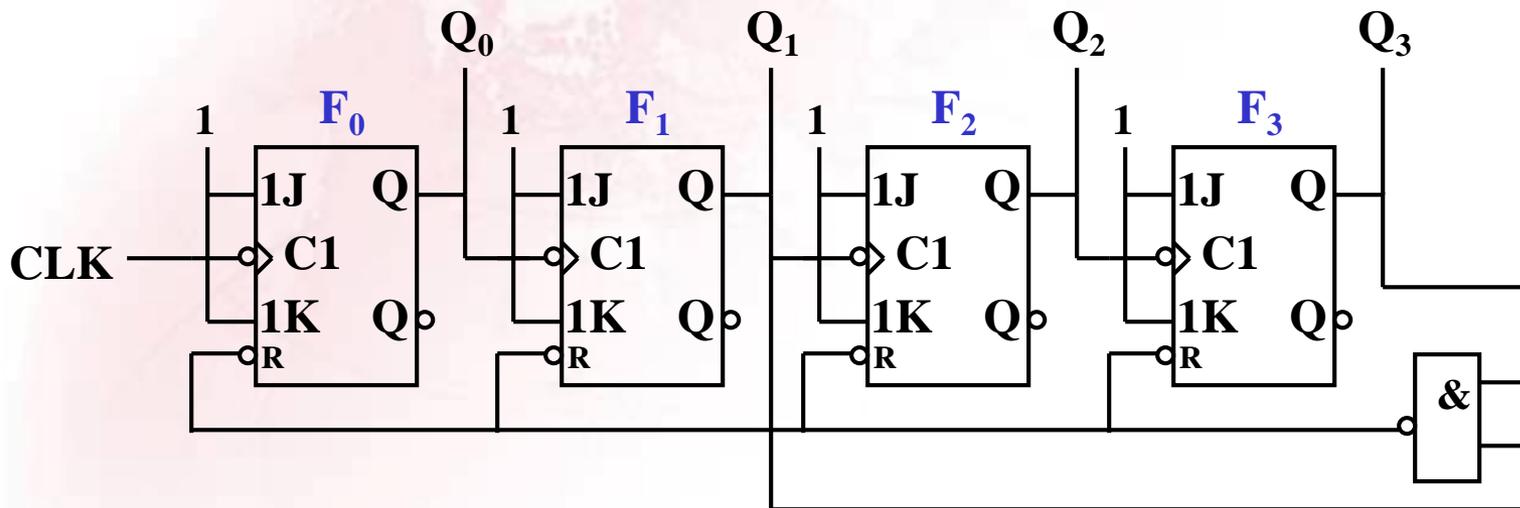
- 2) 异步二进制计数器, 由于触发器的状态翻转是由低位向高位逐级进行的, 因此, 计数速度较低。
- 3) 若CLK脉冲的频率为 f , 则 Q_0 、 Q_1 、 Q_2 、 Q_3 输出脉冲的频率分别为 $\frac{1}{2}f$ 、 $\frac{1}{4}f$ 、 $\frac{1}{8}f$ 、 $\frac{1}{16}f$ 。常称这种计数器为分频器。

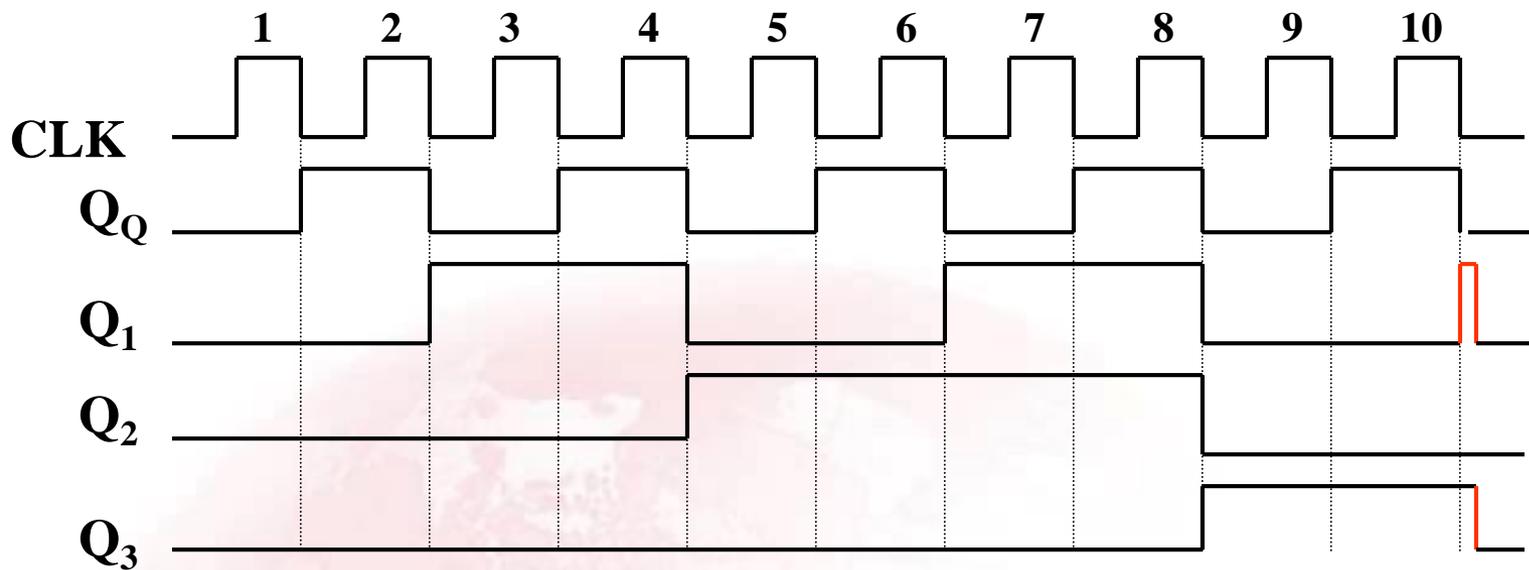


2. 异步十进制计数器

(1) 电路组成和逻辑功能分析

由下降边沿触发的T'触发器构成的异步十进制加法计数器:





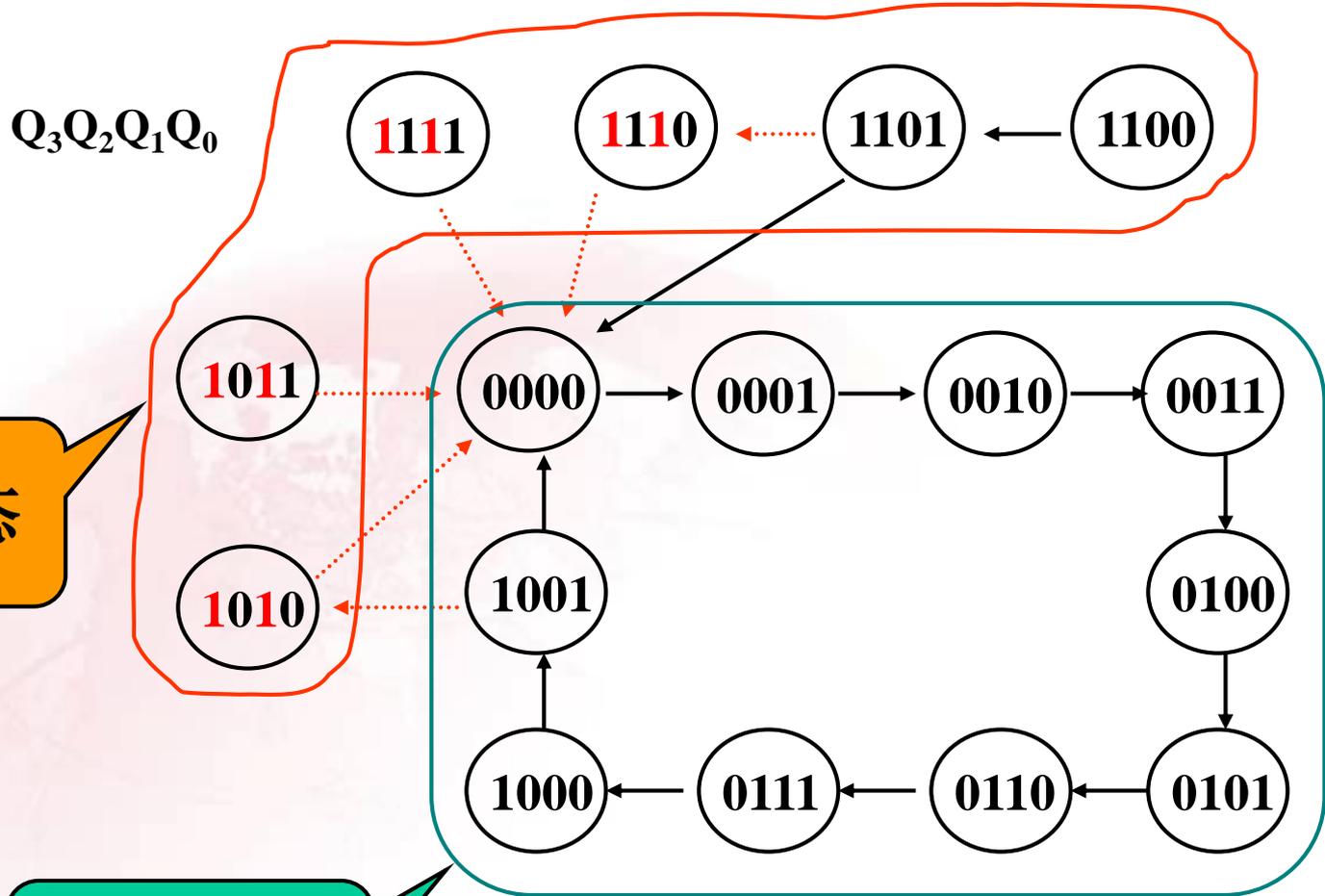
十进制计数器波形图



状态图

$Q_3Q_2Q_1Q_0$

无效状态



有效状态



(2) 自启动特性

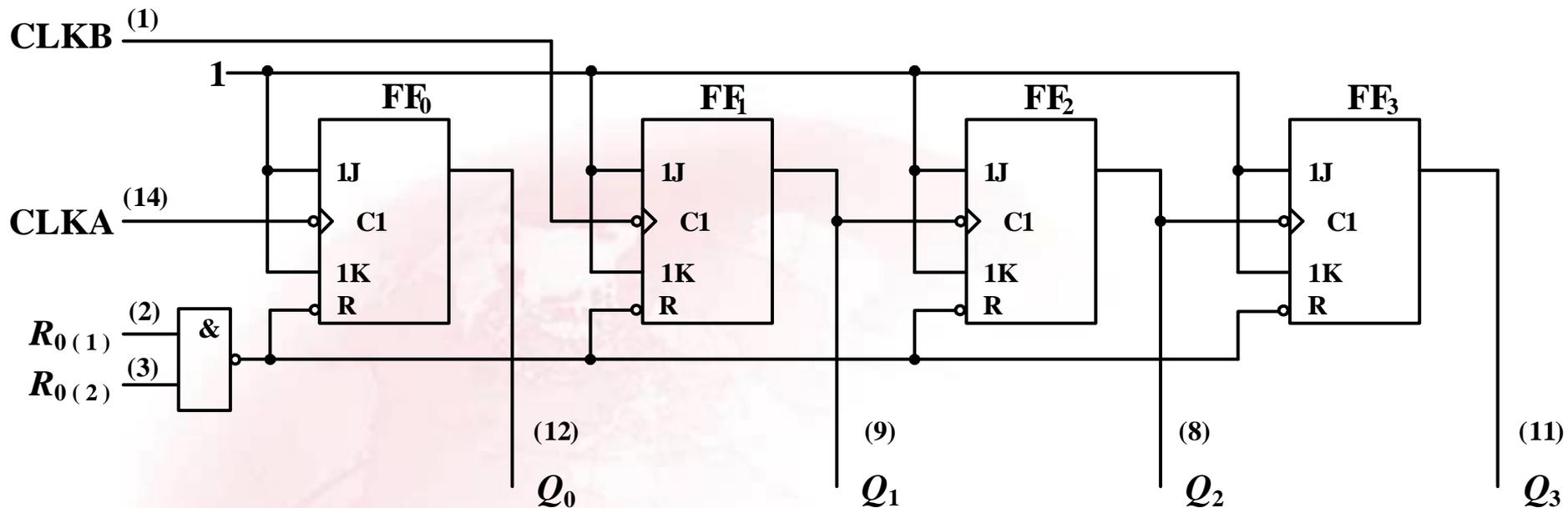
如果电路由于某种原因（例如受干扰影响）进入无效状态，但在若干个时钟脉冲的作用下，能自动返回（直接或间接返回）到某个有效状态，进入有效循环，则称该电路具有自启动特性。否则就不具有自启动特性。



3. 通用异步计数器集成电路

属二进制计数器的有74LS93A、74HC93、74LS197等，它们均为4位计数器。这些计数器的共同特点是：

- 1) 每个集成电路内部有两组彼此独立的计数器，一组为模2计数器，另一组为模8计数器；
- 2) 通过外电路，将这两组计数器相连，可构成模16计数器，这类集成电路也称为二—八—十六进制计数器。

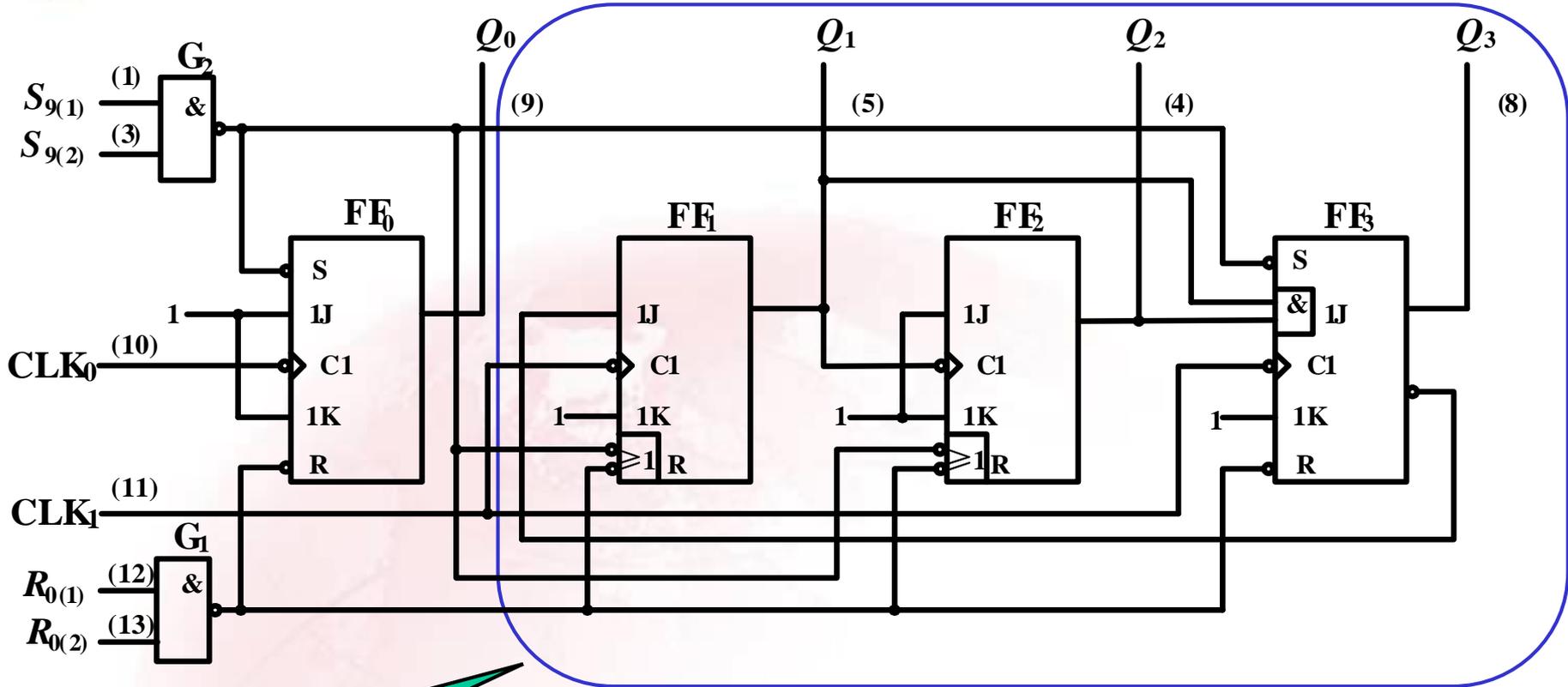


4位异步二进制计数器74LS93A逻辑图



属中规模集成异步十进制计数器的型号有74290、74176和74196等，这些计数器的共同特点：

- 1) 每个集成电路内部有两组彼此独立的计数器，一组为模2计数器，另一组为模5计数器；
- 2) 通过外电路，将这两组计数器相连，可构成模10计数器，这类集成电路也称为二—五—十进制计数器。



模5计数器

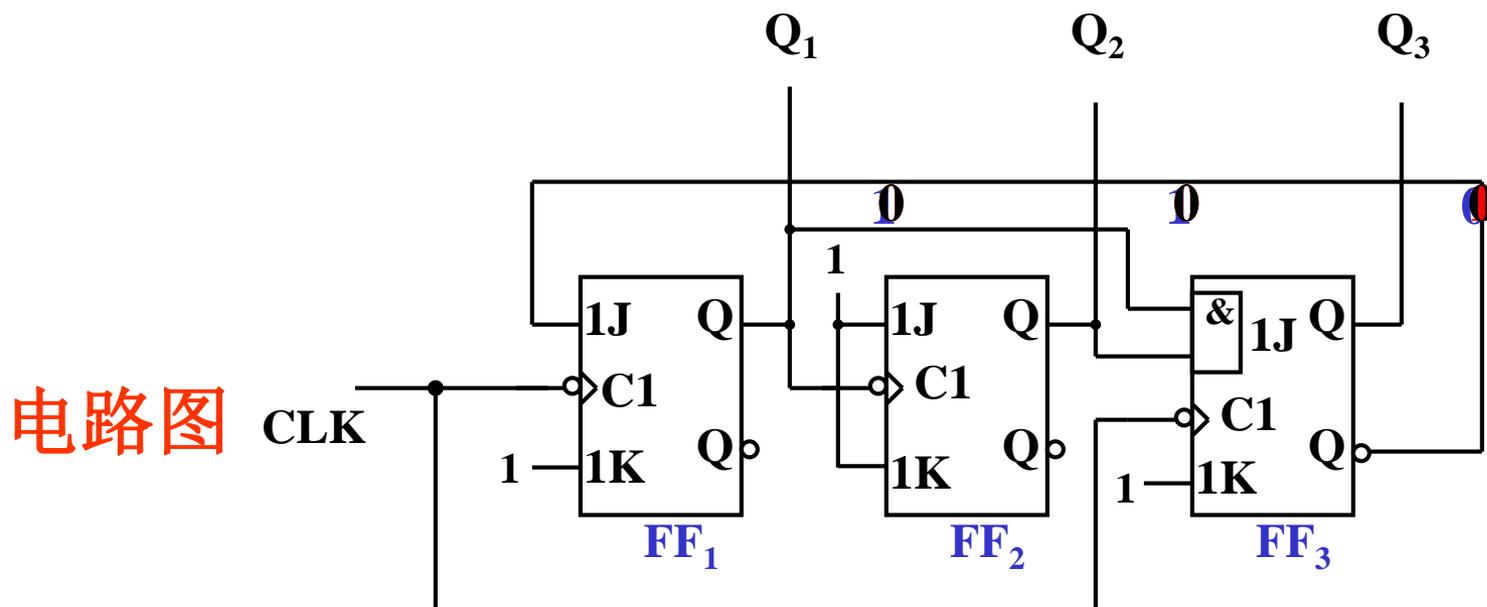
异步十进制计数器 74290 逻辑图



74290逻辑功能:

- 1) 异步清零: $R_{0(1)}=R_{0(2)}=1$, 且 $S_{9(1)} \cdot S_{9(2)}=0$
 $Q_3Q_2Q_1Q_0=0000$
- 2) 异步置9: $R_{0(1)} \cdot R_{0(2)}=0$, 且 $S_{9(1)} = S_{9(2)}=1$
 $Q_3Q_2Q_1Q_0=1001$
- 3) 计数: $R_{0(1)} \cdot R_{0(2)}=0$, 且 $S_{9(1)} \cdot S_{9(2)}=0$

*异步模5计数器电路工作原理:

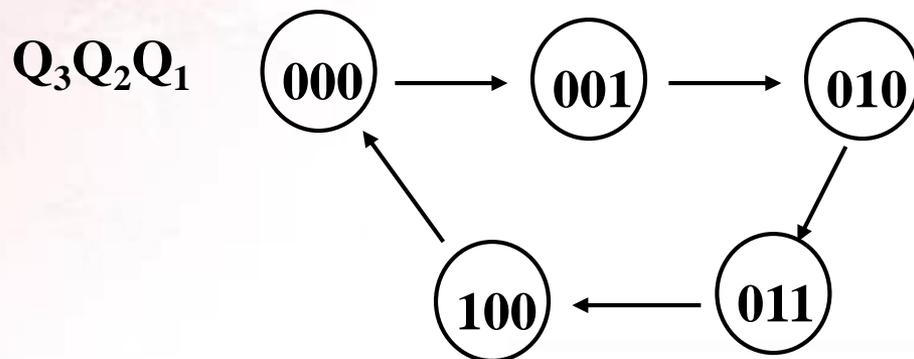


- (1) 当 $Q_3=0$ 时, $\bar{Q}_3=1$. FF_1 和 FF_2 构成异步二进制加法计数器。在 CLK 脉冲的作用下, $Q_2 Q_1$ 按00,01,10,11,00..变化。
- (2) 当 $Q_2 Q_1 \neq 11$ 时, $J_3=0$, Q_3 将保持0状态不变, $J_1=1$ 不变。



- (3) 当 $Q_2Q_1=11$ 时, $J_3=1$, 在下一个CLK作用下, Q_3 将由0状态变为1状态, 同时 J_1 变为0. 这时, $Q_3Q_2Q_1=100$, $J_1=J_3=0$ 。
- (4) 在上述条件下, 在下一个CLK脉冲作用下, 电路回到 $Q_3Q_2Q_1=000$ 状态. 完成一个循环周期。

电路状态图:

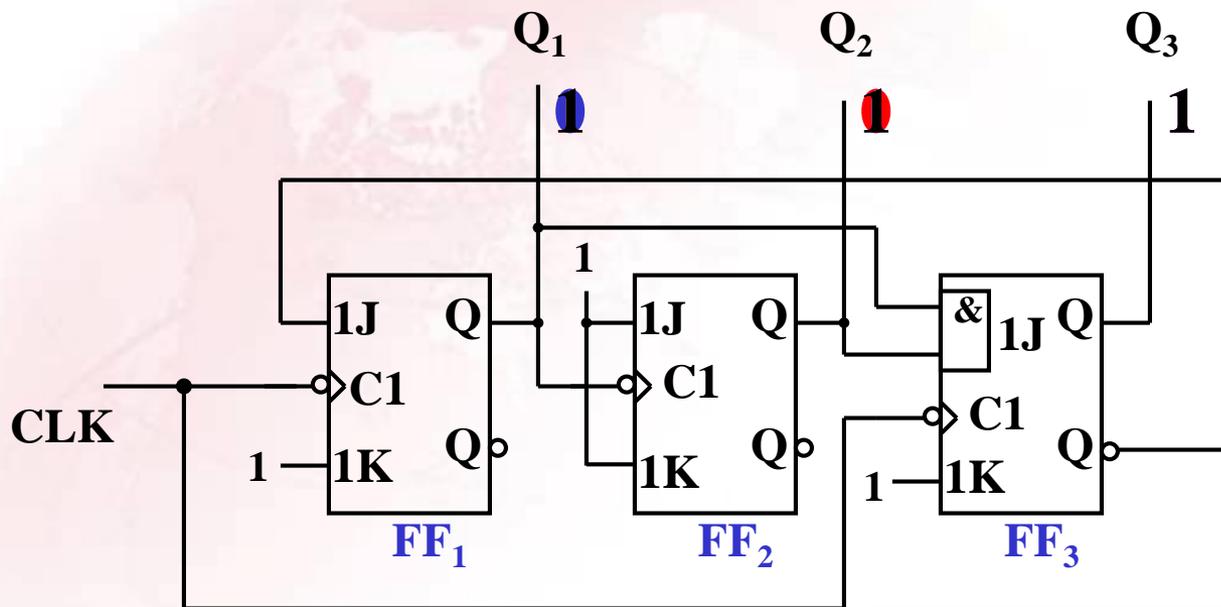




自启动特性讨论:

- (1) 当 $Q_3Q_2Q_1=101$ 时, $J_3J_1=00$, 则下一个状态为010;
- (2) 当 $Q_3Q_2Q_1=110$ 时, $J_3J_1=00$, 则下一个状态为010;
- (3) 当 $Q_3Q_2Q_1=111$ 时, $J_3J_1=10$, 则下一个状态为000。

电路图

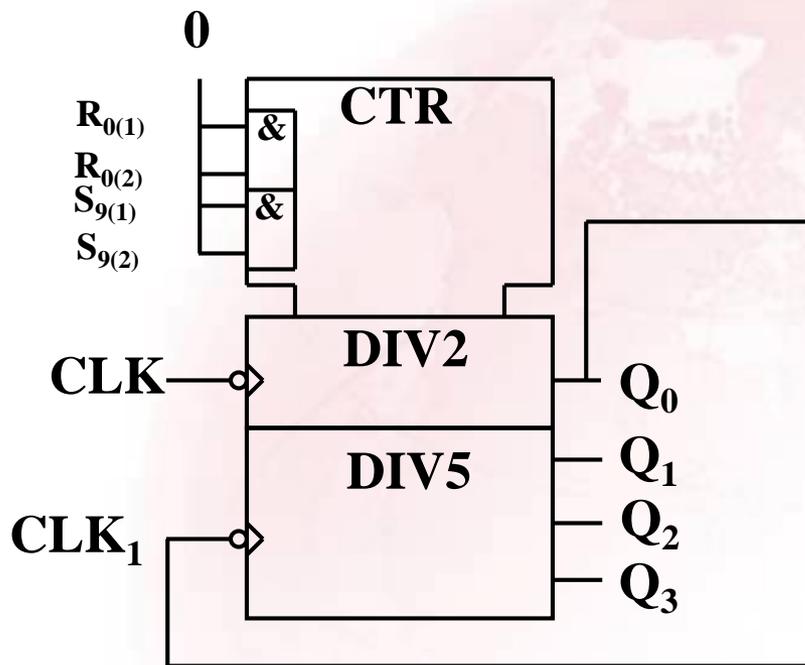


电路能自启动

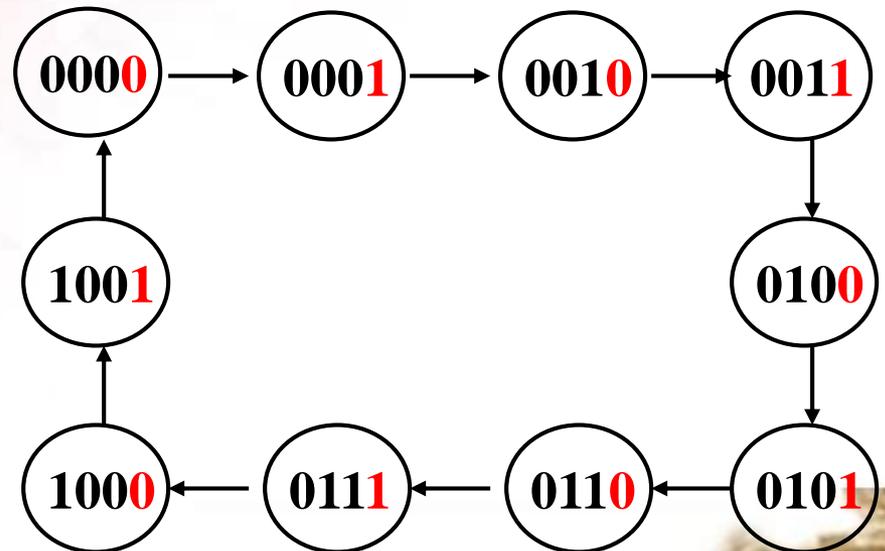


74290构成模10计数器

- 1) 将 Q_0 和 CLK_1 相连,计数脉冲从 CLK_0 输入, $Q_3Q_2Q_1Q_0$ 输出,构成8421BCD码计数器;

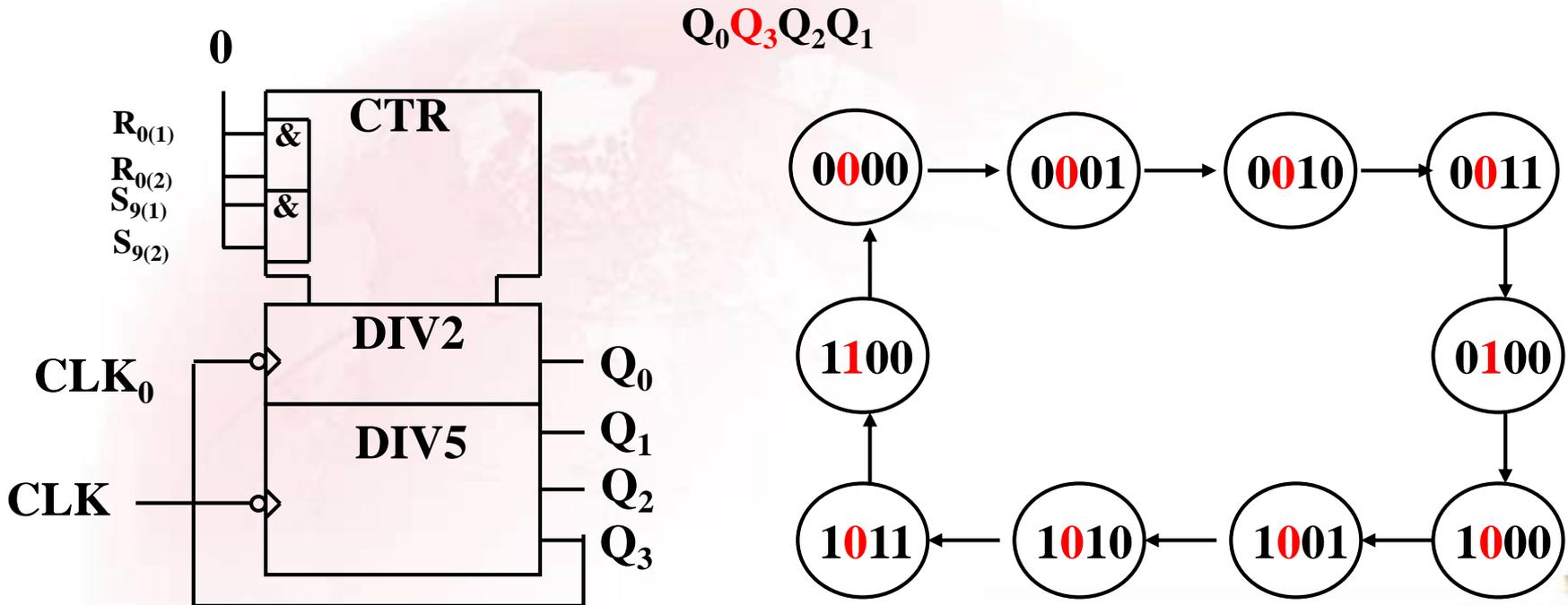


$Q_3Q_2Q_1Q_0$



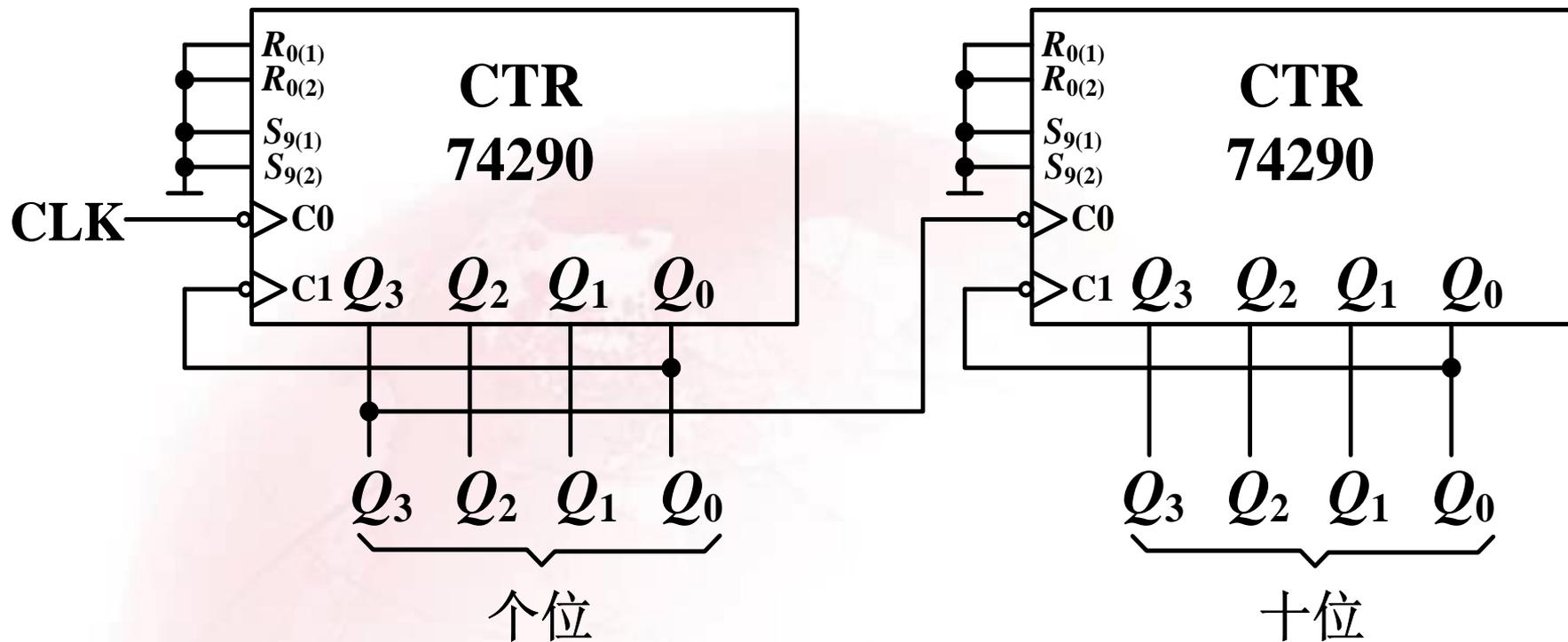


2) 将 Q_3 和 CLK_0 相连,计数脉冲从 CLK_1 输入, $Q_0Q_3Q_2Q_1$ 输出。构成**5421BCD**码计数器。





两片74290级联实现模100计数器



模100计数器



6.1.2 同步计数器

1. 同步二进制计数器

(1) 电路组成和逻辑功能分析

*同步二进制加法计数器设计思想

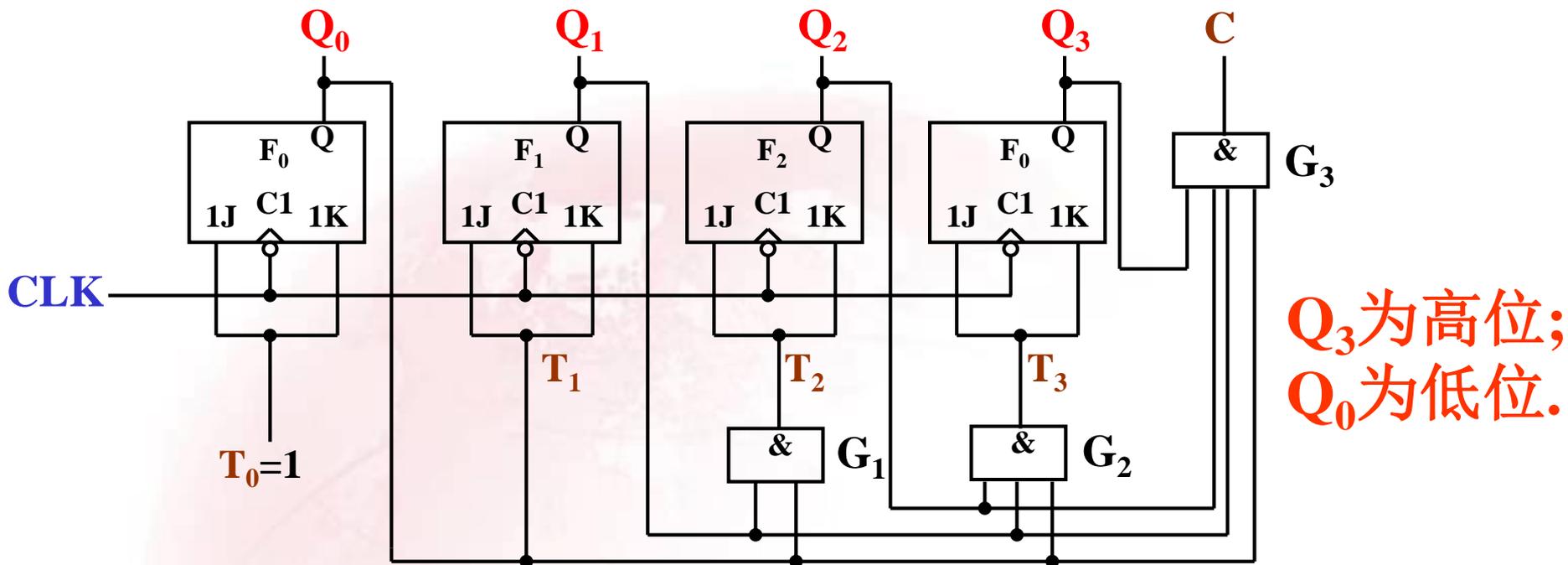
- 根据计数器的功能要求， n 位二进制计数器用 n 个存储单元电路组成，存储单元的状态表示二进制数，存储单元由触发器实现；
- 输入脉冲将使各位触发器的状态按计数规律变化，即每输入一个脉冲，由触发器的状态表示的二进制数必须加1；



- 由于是**同步**计数器，输入脉冲将同步加到各触发器的时钟输入端，因此只有通过控制触发器的驱动信号来达到控制触发器状态的目的。
- 二进制计数规则：每加1，最低位改变一次状态，高位的状态是否改变，由低位是否计满来决定。



T触发器构成的带进位标志的**四位同步二进制加法计数器**：



CLK: 计数脉冲; **Q₃Q₂Q₁Q₀**: 计数器的输出状态;

C: 计数器的进位标志.

演示



计数器的驱动方程和输出方程:

$$T_0=1$$

$$T_1=Q_0^n$$

$$T_2=Q_1^n Q_0^n$$

$$T_3=Q_2^n Q_1^n Q_0^n$$

$$C=Q_3^n Q_2^n Q_1^n Q_0^n$$

T触发器的特性方程:

$$\begin{aligned} Q^{n+1} &= T\bar{Q}^n + \bar{T}Q^n \\ &= T \oplus Q^n \end{aligned}$$

计数器的状态方程:

$$Q_0^{n+1} = \bar{Q}_0^n$$

$$Q_1^{n+1} = Q_1^n \oplus Q_0^n$$

$$Q_2^{n+1} = Q_2^n \oplus (Q_1^n Q_0^n)$$

$$Q_3^{n+1} = Q_3^n \oplus (Q_2^n Q_1^n Q_0^n)$$

状态表

CLK	Q^n				Q^{n+1}				C	
	Q_3	Q_2	Q_1	Q_0	Q_3	Q_2	Q_1	Q_0		
	0	0	0	0	0	0	0	1	0	
	0	0	0	1	0	0	1	0	0	
	0	0	1	0	0	0	1	1	0	
	0	0	1	1	0	1	0	0	0	
	0	1	0	0	0	0	1	0	1	0
	0	1	0	1	0	0	1	1	0	0
	0	1	1	0	0	0	1	1	1	0
	0	1	1	1	0	1	0	0	0	0
	1	0	0	0	0	1	0	0	1	0
	1	0	0	1	0	1	0	1	0	0
	1	0	1	0	0	1	0	1	1	0
	1	0	1	1	0	1	1	0	0	0
	1	1	0	0	0	1	1	0	1	0
	1	1	0	1	0	1	1	1	0	0
	1	1	1	1	0	1	1	1	1	0
	1	1	1	1	1	0	0	0	0	1



(2) 同步二进制加法计数器的特点

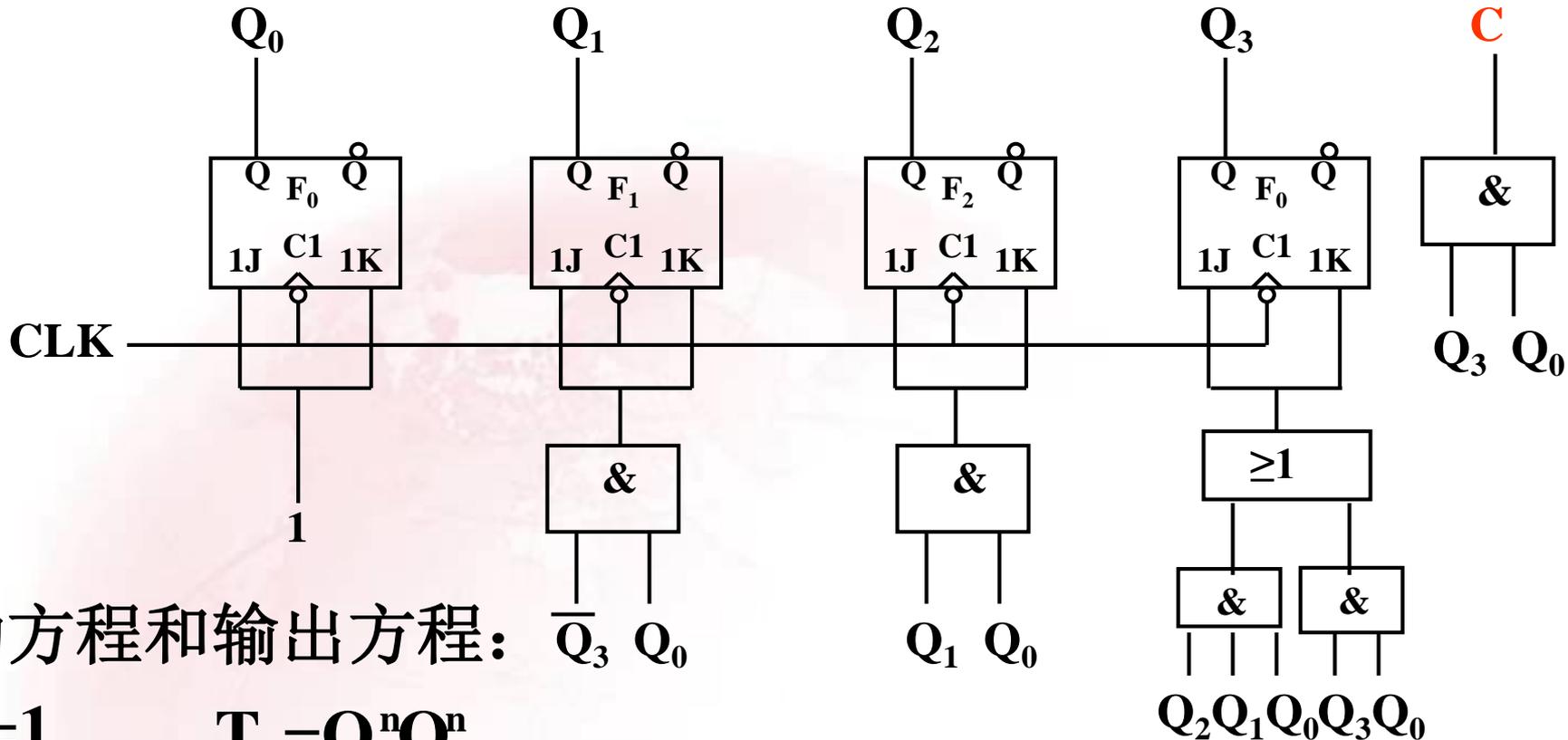
- (1) 由 n 个触发器构成的同步二进制加法计数器的模为 2^n , 没有多余状态, 状态利用率最高;
- (2) 用 T 触发器构成的同步二进制加法计数器, 其电路结构有两条规则:
 - ① $T_0=1$;
 - ② $T_i=Q_{i-1}Q_{i-2}\cdots Q_0$ ($i\neq 0$).
- (3) 同步计数器工作速度快, 这种计数器的最高工作频率可达

$$f_{\max} = \frac{1}{t_{PF} + t_{PG}}$$



2. 同步十进制计数器

(1) 电路组成和逻辑功能分析



驱动方程和输出方程： $\bar{Q}_3 Q_0$

$$T_0=1$$

$$T_2=Q_1^n Q_0^n$$

$$T_1=\bar{Q}_3^n Q_0^n$$

$$T_3=Q_2^n Q_1^n Q_0^n + Q_3^n Q_0^n$$

$$C=Q_3^n Q_0^n$$

状态表

Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	C
0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	0	0
0	0	1	0	0	0	1	1	0
0	0	1	1	0	1	0	0	0
0	1	0	0	0	1	0	1	0
0	1	0	1	0	1	1	0	0
0	1	1	0	0	1	1	1	0
0	1	1	1	1	0	0	0	0
1	0	0	0	1	0	0	1	0
1	0	0	1	0	0	0	0	1
1	0	1	0	1	0	1	1	0
1	0	1	1	0	1	1	0	1
1	1	0	0	1	1	0	1	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	1	1	1	0
1	1	1	1	0	0	1	0	1

电路状态方程

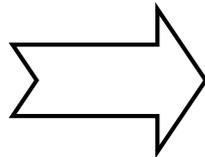
$$Q_0^{n+1} = \overline{Q_0^n}$$

$$Q_1^{n+1} = Q_1^n \oplus (\overline{Q_3^n} Q_0^n)$$

$$Q_2^{n+1} = Q_2^n \oplus (Q_1^n Q_0^n)$$

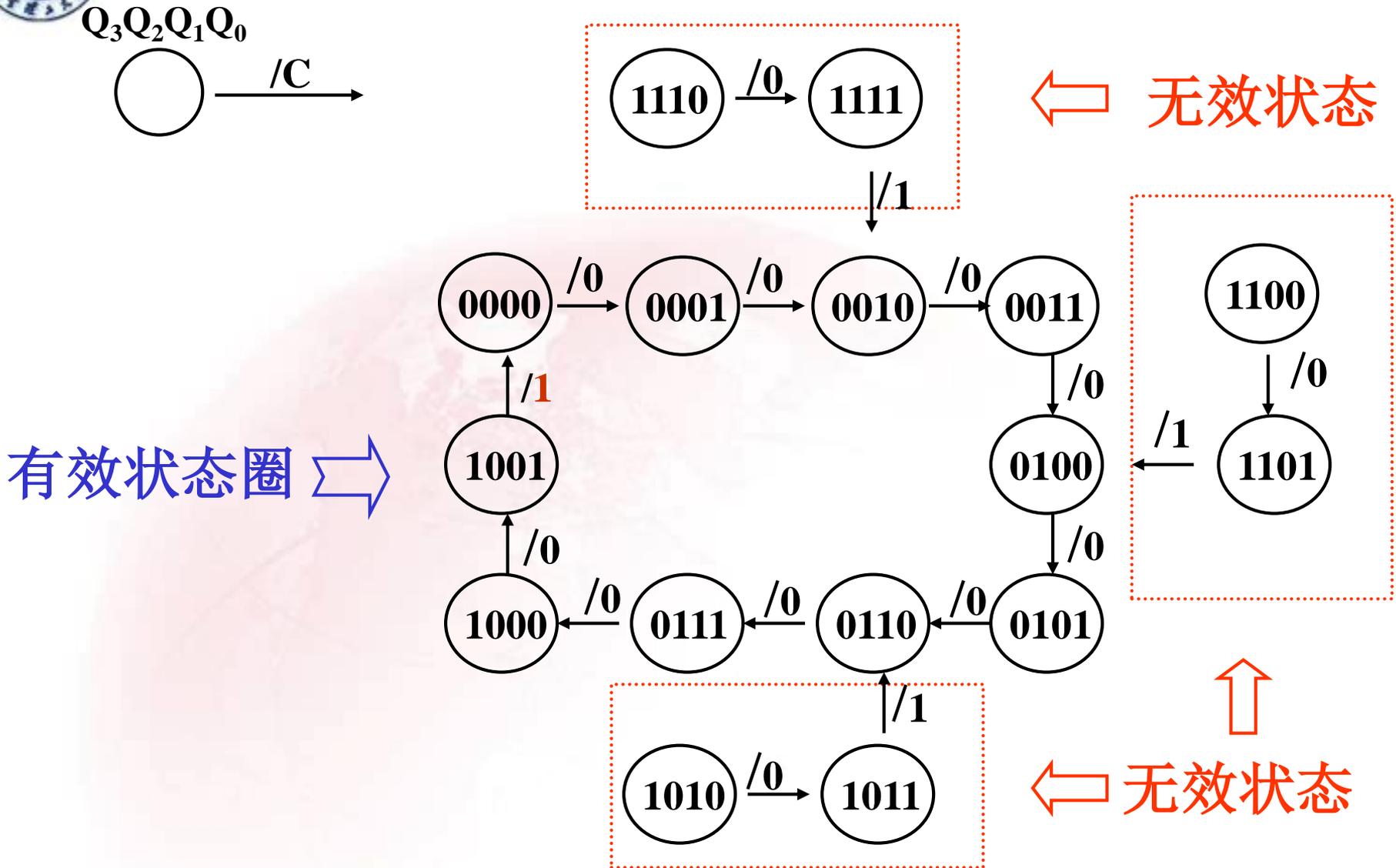
$$Q_3^{n+1} = Q_3^n \oplus (Q_2^n Q_1^n Q_0^n + Q_3^n Q_0^n)$$

无效状态





同步十进制加法计数器状态图





(2) 同步十进制计数器设计

目的：根据十进制计数器的状态表（即设计要求），求电路结构图（即驱动方程和输出方程）。

以T触发器构成8421BCD码加法计数器为例讨论

设计步骤：

- 1) 列出8421BCD码加法计数器的状态表；
- 2) 根据8421BCD码加法计数器的状态表,列出各触发器所需要的驱动信号；
- 3) 根据状态表,求输出方程和驱动方程并化简；
- 4) 画电路图

状态表

驱动信号

Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	C	T_3	T_2	T_1	T_0
0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	1	0	0	1	0	0	0	0	1	1
0	0	1	0	0	0	1	1	0	0	0	0	1
0	0	1	1	0	1	0	0	0	0	1	1	1
0	1	0	0	0	1	0	1	0	0	0	0	1
0	1	0	1	0	1	1	0	0	0	0	1	1
0	1	1	0	0	1	1	1	0	0	0	0	1
0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	0	0	1	0	0	0	0	1
1	0	0	1	0	0	0	0	1	1	0	0	1
1	0	1	0	×	×	×	×	×	×	×	×	×
1	0	1	1	×	×	×	×	×	×	×	×	×
1	1	0	0	×	×	×	×	×	×	×	×	×
1	1	0	1	×	×	×	×	×	×	×	×	×
1	1	1	0	×	×	×	×	×	×	×	×	×
1	1	1	1	×	×	×	×	×	×	×	×	×

由表可得驱动方程和输出方程:

例 T_3 的驱动方程为

		Q_1Q_0			
		00	01	11	10
Q_3Q_2	00				
	01			1	
	11	×	×	×	×
	10		1	×	×

$$T_3 = Q_3Q_0 + Q_2Q_1Q_0$$



同步计数器设计的一般步骤:

- 1) 根据所设计计数器的计数规律列出状态转换表;
- 2) 选择触发器, 根据状态转换表所反映的状态转换规律列出各触发器输入端所对应的驱动信号, 形成激励表;
- 3) 求输出方程和驱动方程。根据激励表, 借助卡诺图或其它化简方法, 写出输出方程和驱动方程的简化表达式。
- 4) 根据输出方程和驱动方程画出计数器电路图。
- 5) 自启动性检查。



3. 可逆计数器

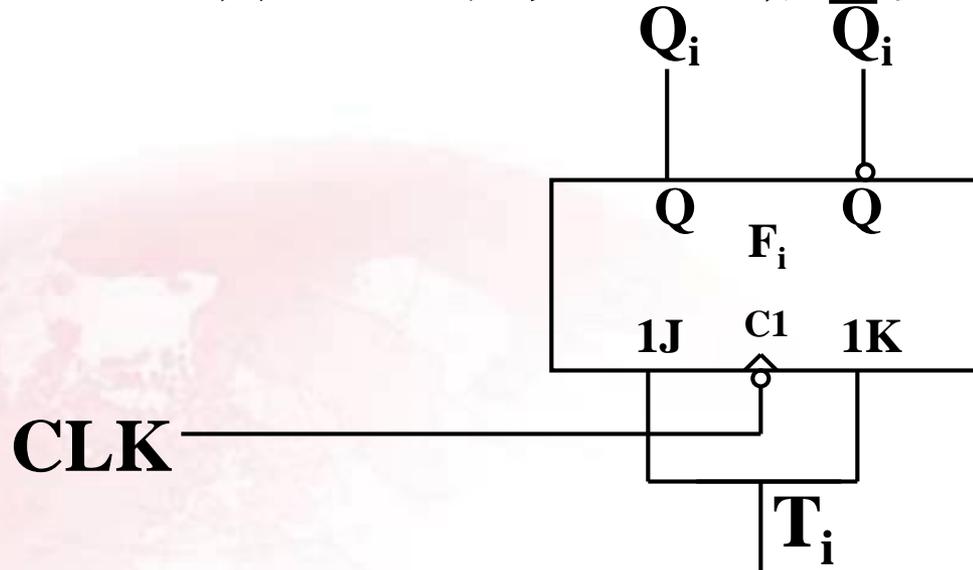
可逆计数器具有两种形式:

- ① 有加减控制的可逆计数器: 这种电路有一个**CLK脉冲输入端**,有一个**加减控制端**,电路作何种计数,由加减控制端的**控制信号**来决定;
- ② 双时钟可逆计数器: 这种电路有**两个CLK脉冲输入端**,电路作不同计数时,分别从不同的**CLK端**输入.

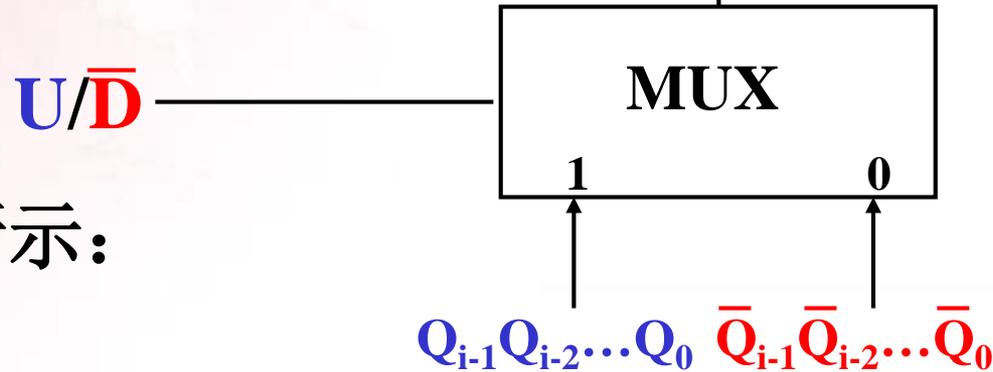


有**加/减控制**的同步二进制可逆计数器电路的设计思路：
以**T触发器**设计例

(1) $i=0$ $T_0=1$;

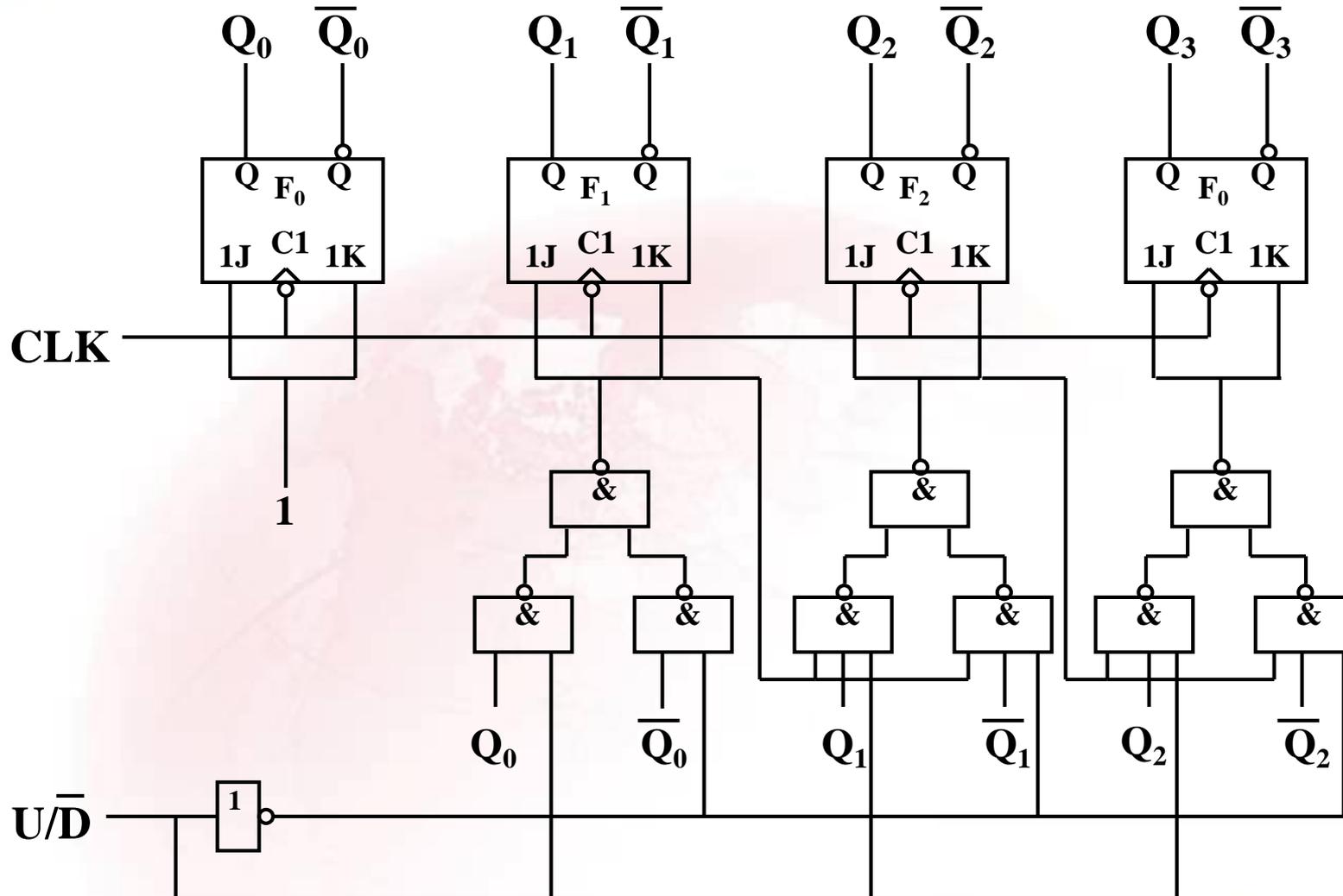


(2) $i \neq 0$ T_i 如图所示:





有加/减控制的同步4位二进制可逆计数器电路





当 $U/\bar{D}=1$ 时,各触发器的驱动方程为:

$$T_0=1$$

$$T_1=Q_0$$

$$T_2=Q_1Q_0$$

$$T_3=Q_2Q_1Q_0$$

符合加法计数器的驱动方程

当 $U/\bar{D}=0$ 时,各触发器的驱动方程为:

$$T_0=1$$

$$T_1=\bar{Q}_0$$

$$T_2=\bar{Q}_1\bar{Q}_0$$

$$T_3=\bar{Q}_2\bar{Q}_1\bar{Q}_0$$

符合减法计数器的驱动方程

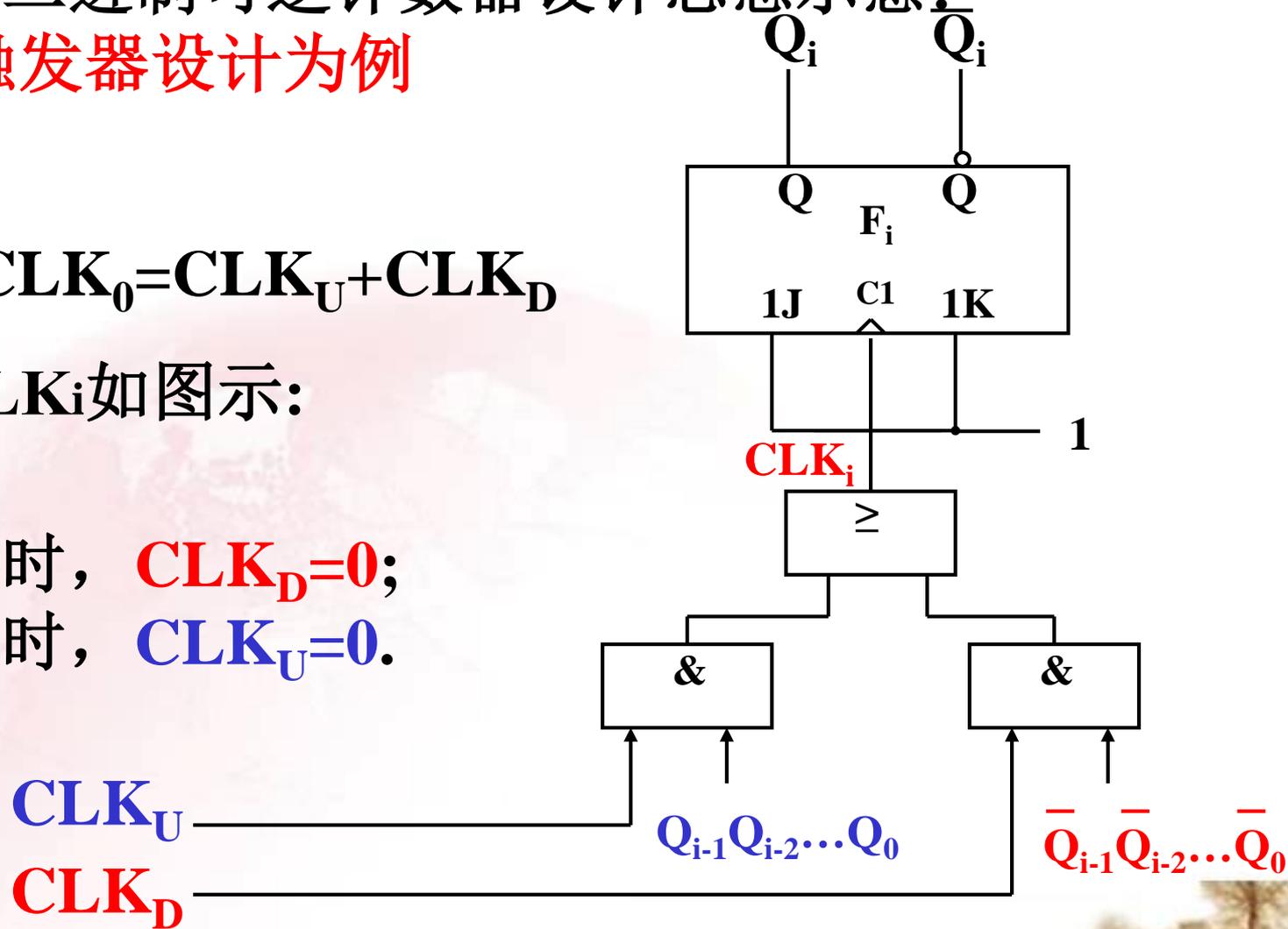


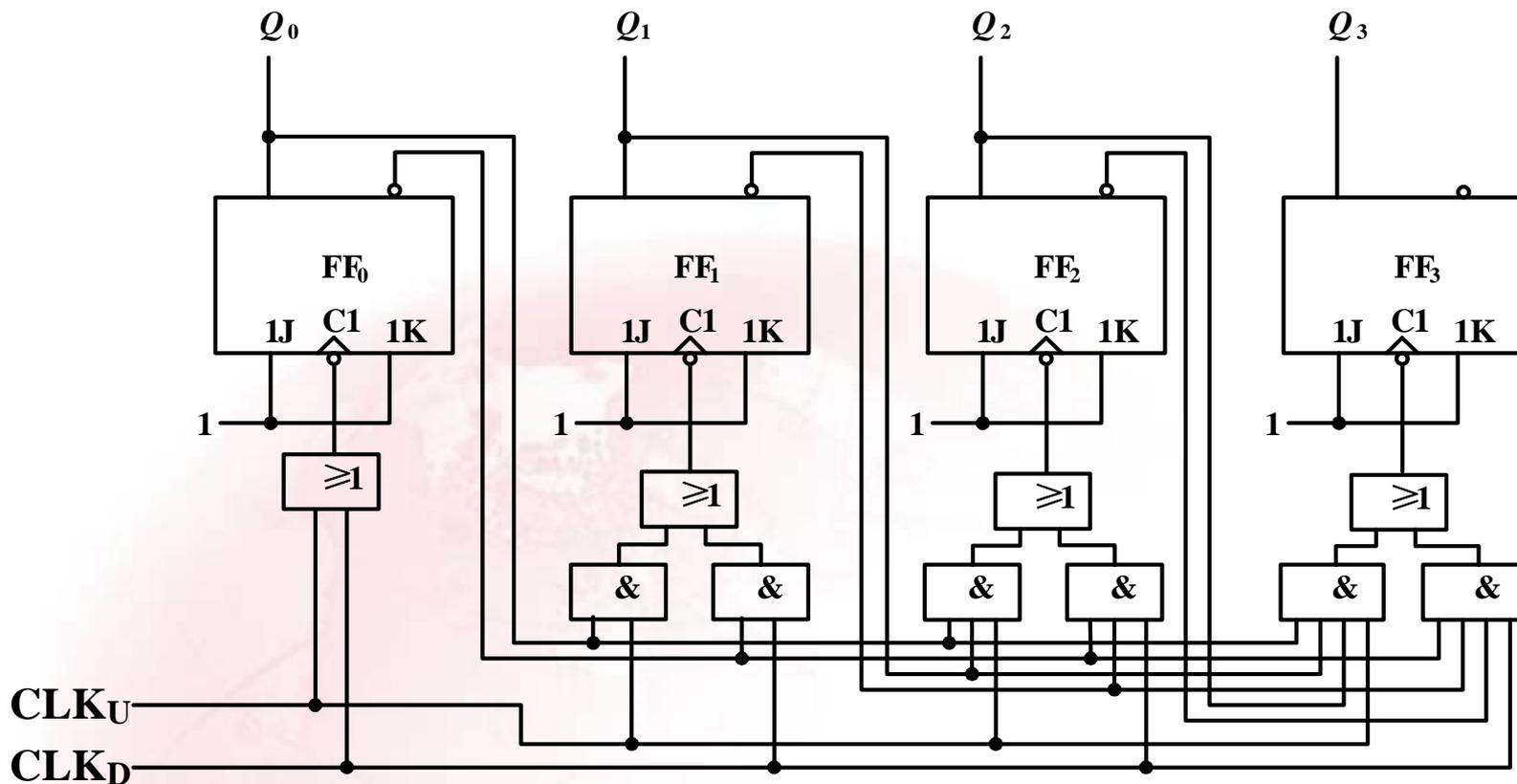
双时钟二进制可逆计数器设计思想示意： 以T'触发器设计为例

(1) $i=0$ $CLK_0 = CLK_U + CLK_D$

(2) $i \neq 0$ CLK_i 如图示：

当作加计数时， $CLK_D = 0$ ；
当作减计数时， $CLK_U = 0$ 。





双时钟二进制可逆计数器原理图



4. 通用同步计数器集成电路

集成同步计数器的产品型号较多，属4位二进制计数器的有74161、74163等，属十进制计数器的有74160，属4位二进制可逆计数器有74169、74191、74193等，属十进制可逆计数器有74190、74192等，这些计数器均有对应的CMOS集成电路，其型号为74HC



(1) 集成计数器74163、74160、74190

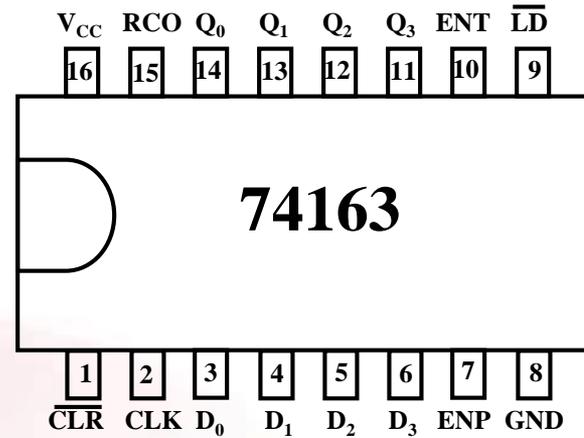
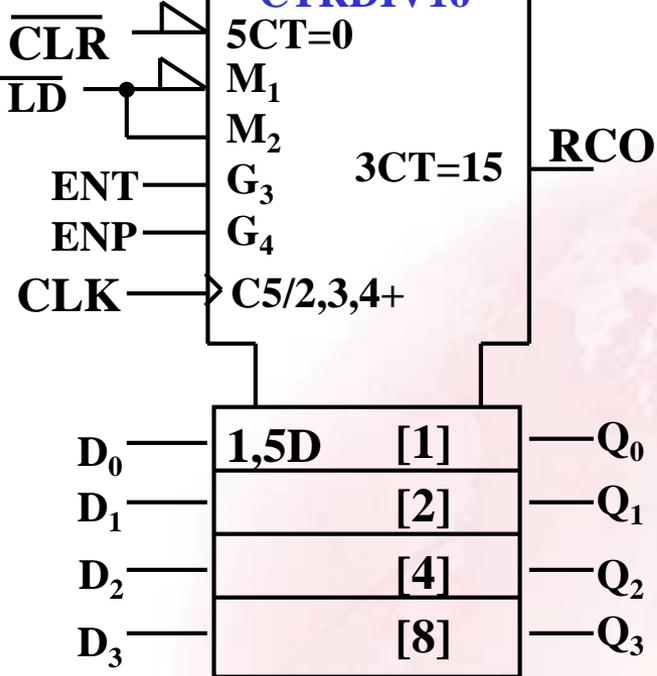
1) 同步4位二进制计数器74163的功能

- a. 同步清零
- b. 同步置数
- c. 保持
- d. 同步计数



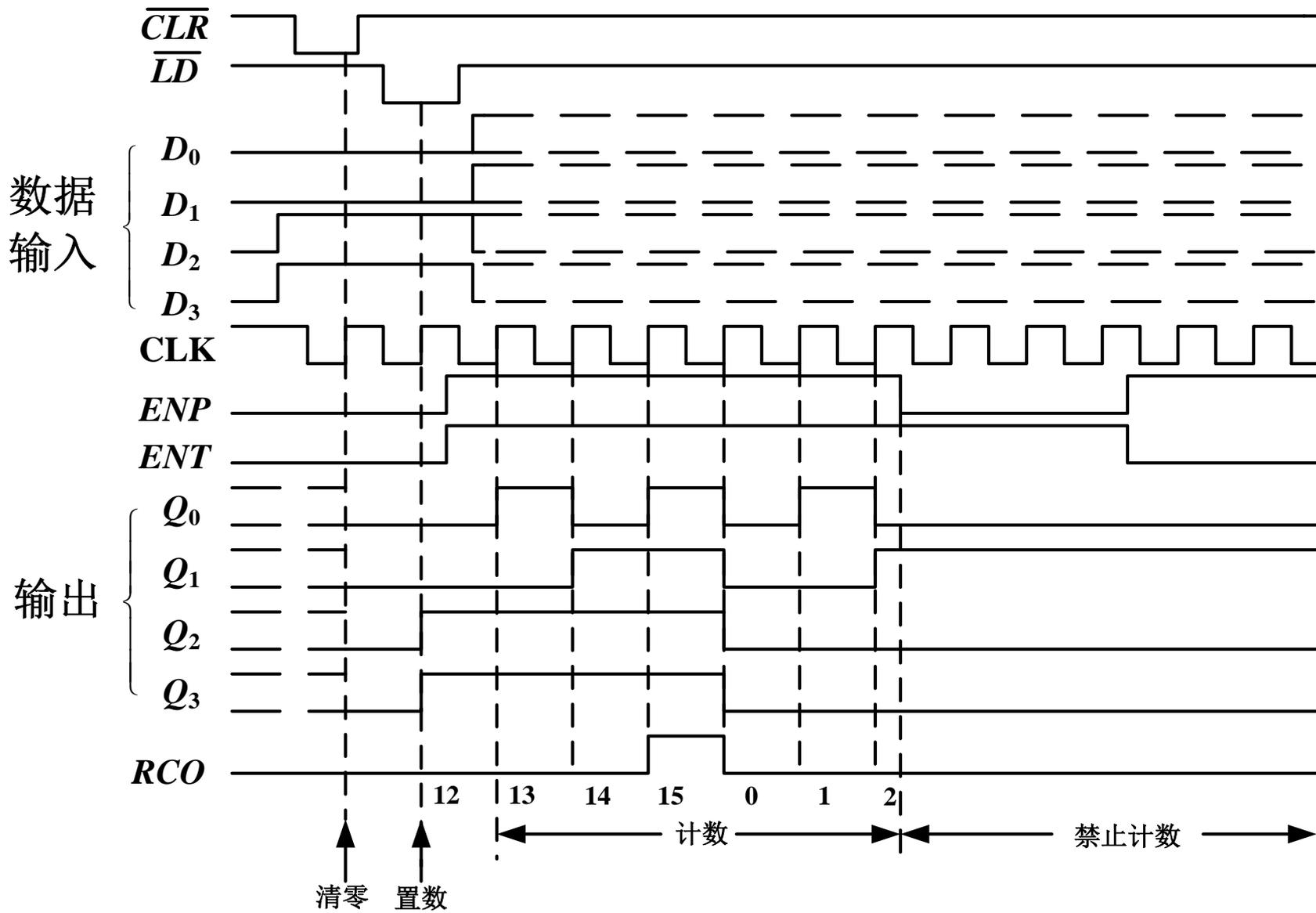
74163

CTRDIV16



74163功能表

CLK	$\overline{\text{CLR}}$	$\overline{\text{LD}}$	ENP	ENT	功能
↑	0	×	×	×	同步清零
↑	1	0	×	×	同步置数
×	1	1	0	1	保持(包括CO的状态)
×	1	1	×	0	保持(CO=0)
↑	1	1	1	1	同步计数



74163的时序图



2) 74160的功能

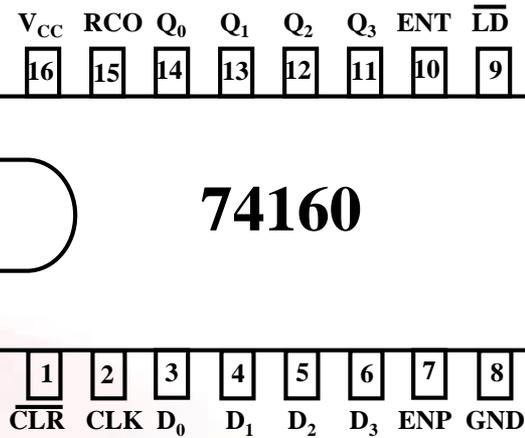
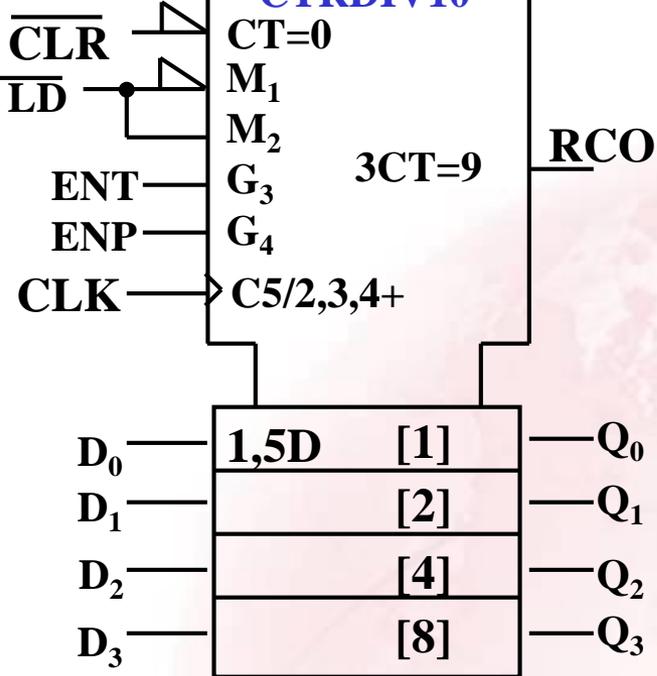
1) 同步十进制计数器74160的功能

- a. 异步清零
- b. 同步置数
- c. 保持
- d. 同步计数



74160

CTRDIV10

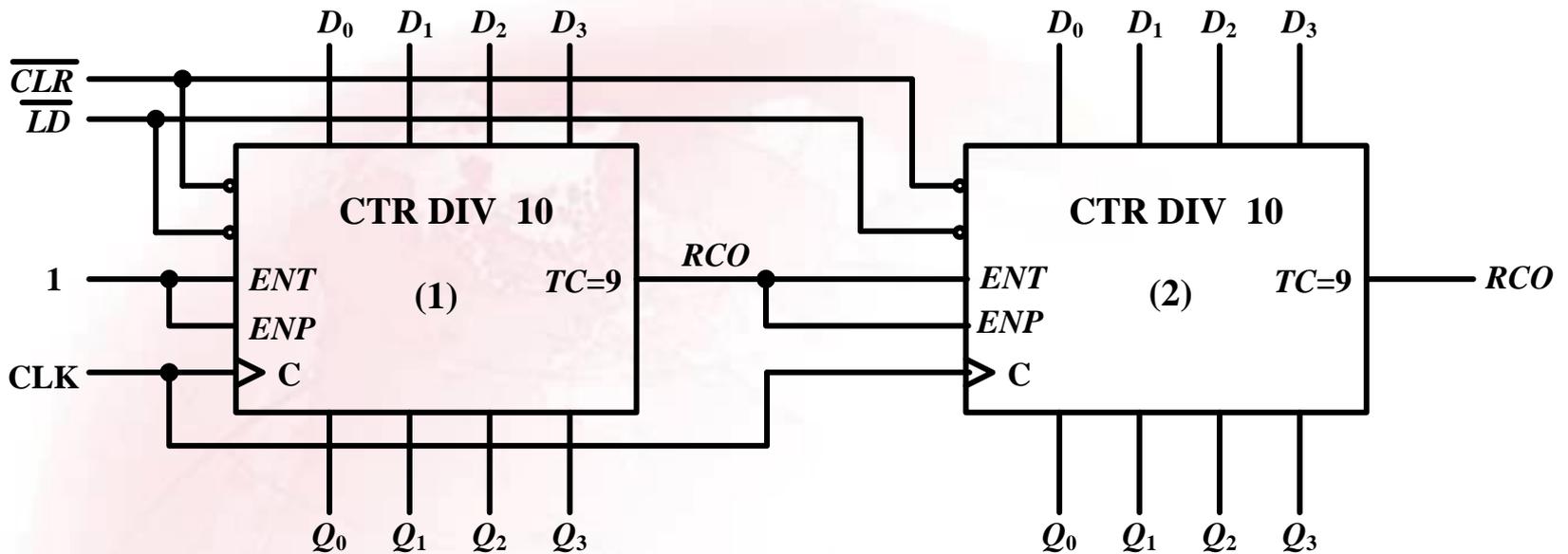


74160功能表

CLK	$\overline{\text{CLR}}$	$\overline{\text{LD}}$	ENP	ENT	功能
×	0	×	×	×	异步清零
↑	1	0	×	×	同步置数
×	1	1	0	1	保持(包括CO的状态)
×	1	1	×	0	保持(CO=0)
↑	1	1	1	1	同步计数



由两片74160构成的模100计数器 (两位BCD码计数器)





3) 十进制可逆计数器 74190的功能

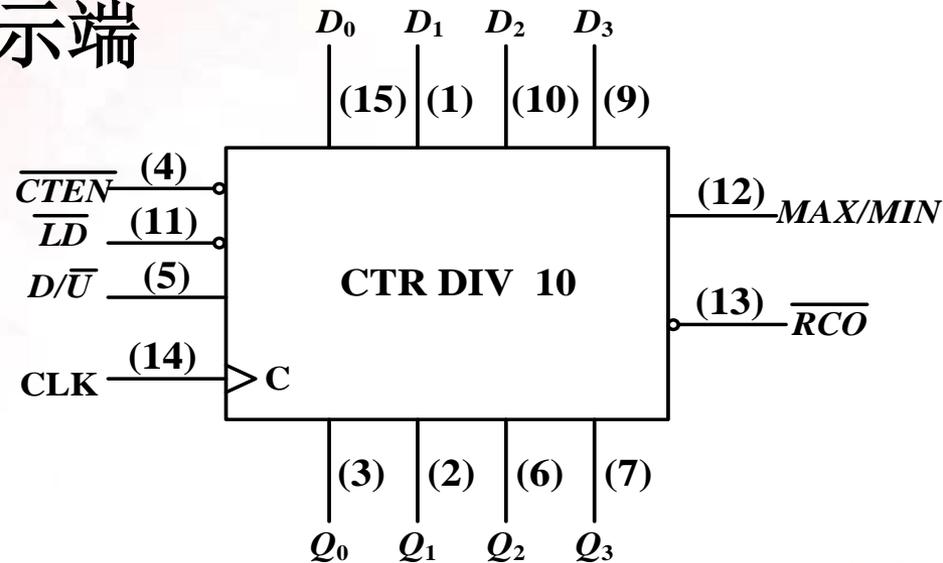
a. \overline{LD} 为异步置数控制端

b. \overline{CTEN} 为计数使能端

c. D/\overline{U} 为加/减计数控制端

d. MAX / MIN 为最大/最小值指示端

e. \overline{RCO} 为脉动时钟输出端

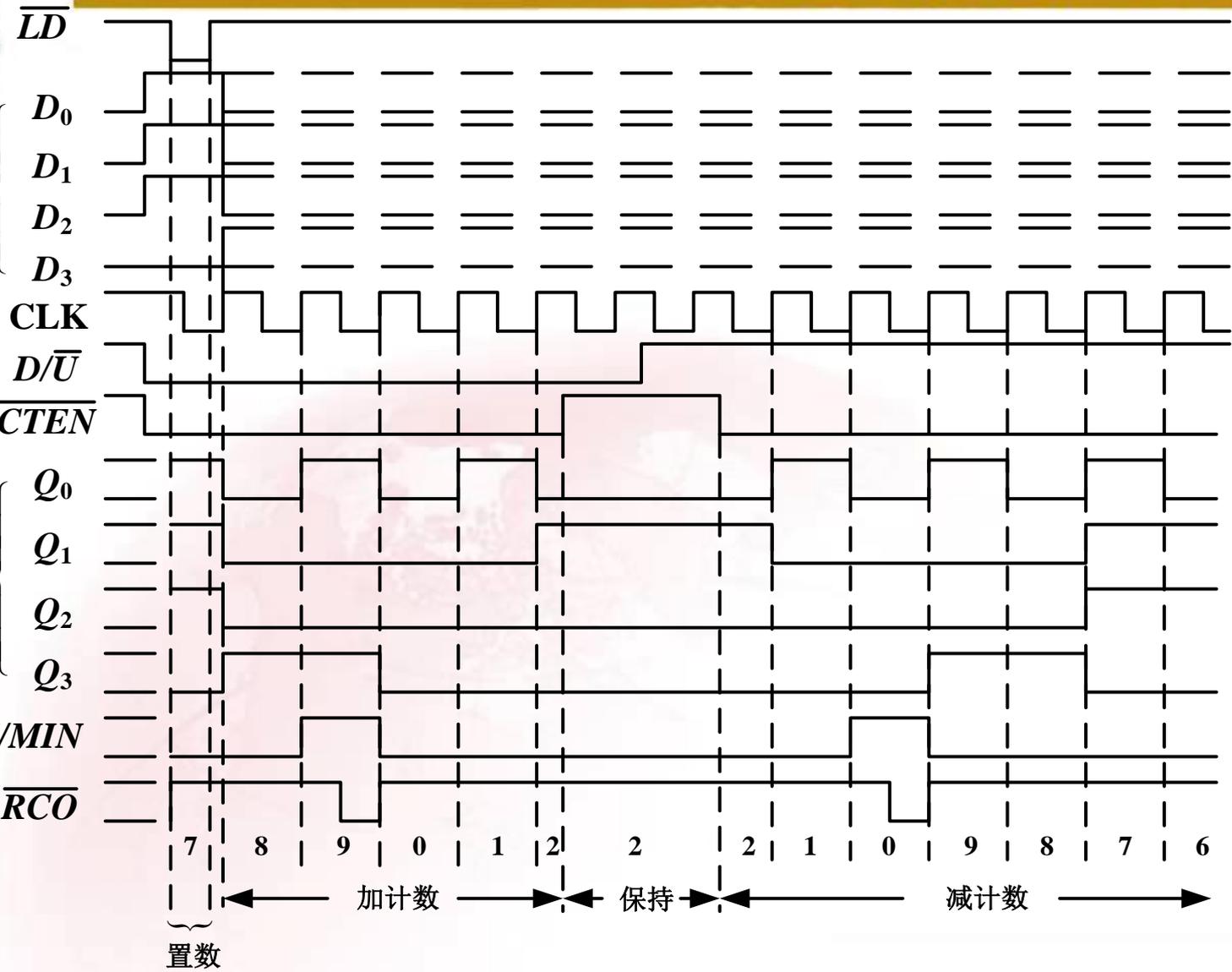


74190逻辑图



数据输入

输出



74190的时序图 Nanjing University of Science & Technology



(2) 用集成计数器构成任意进制计数器

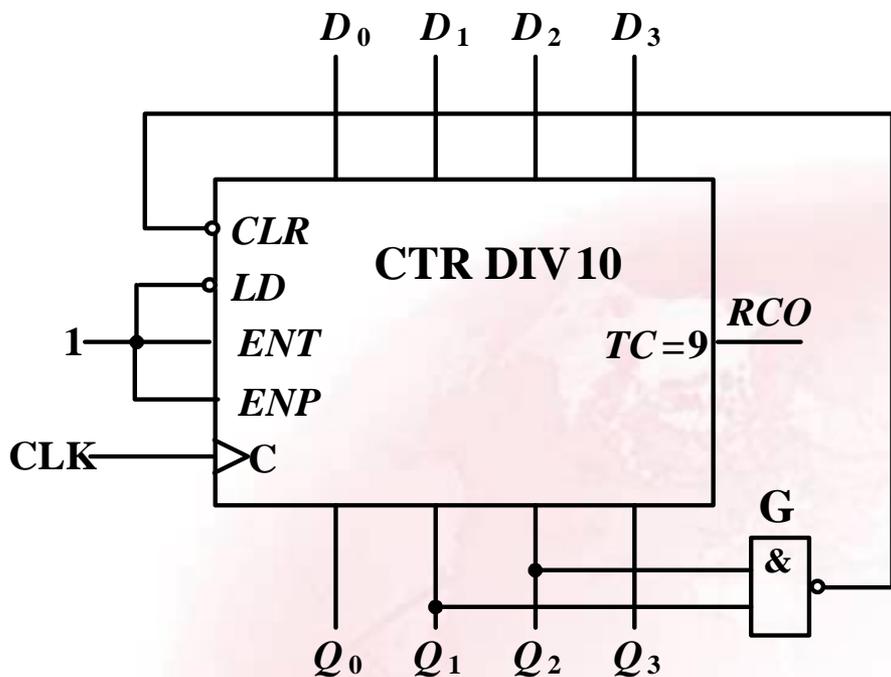
利用已有的中规模集成计数器,经外电路的不同连接,以得到所需任意进制计数器,是数字电路中的一项关键技术.

1) 反馈复位法 (清零法)

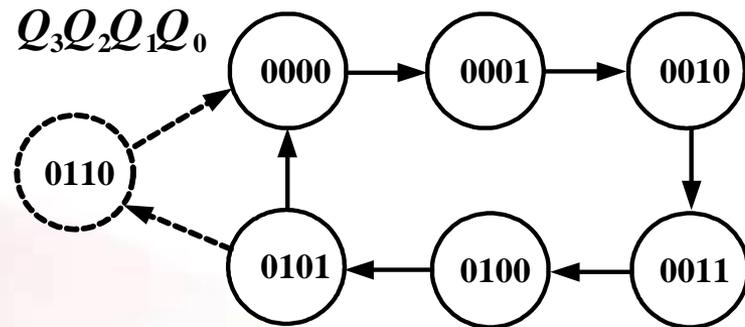
控制清零端 \overline{CLR} 来获得任意进制计数器。



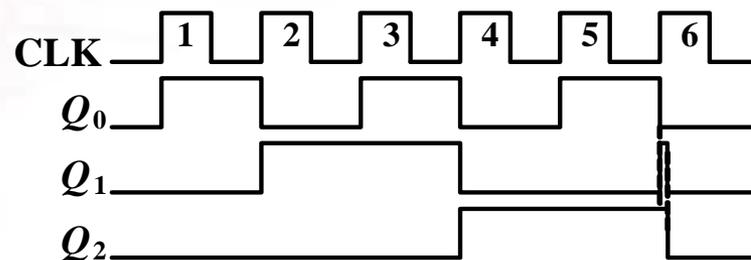
例：用74160构成模6加法计数器。



(a)



(b)



(c)

74160 构成模6计数器

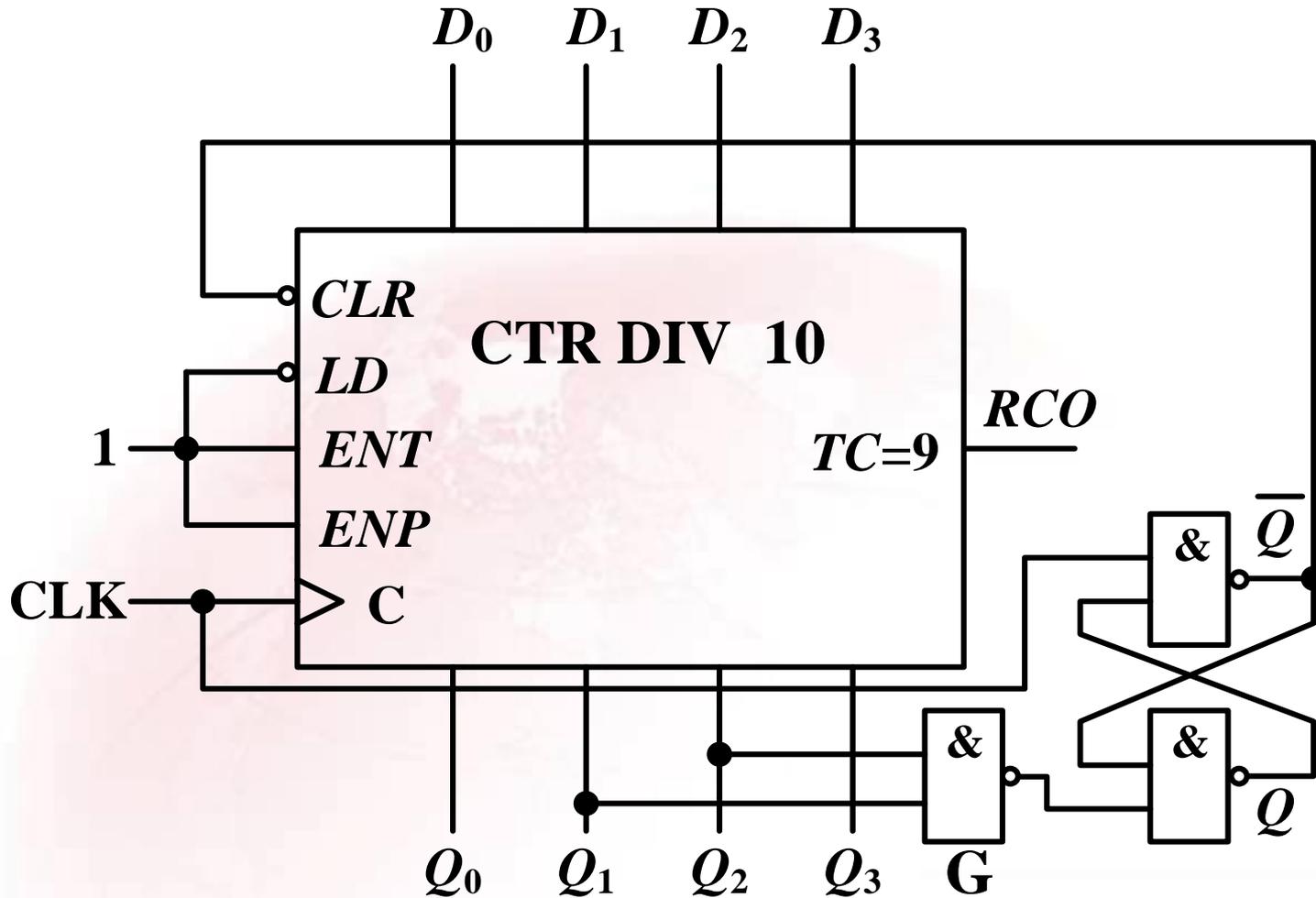


复位法的缺点：

- ① 存在一个极短的过渡状态；
- ② 清零的可靠性较差。



*提高清零可靠性的改进电路:



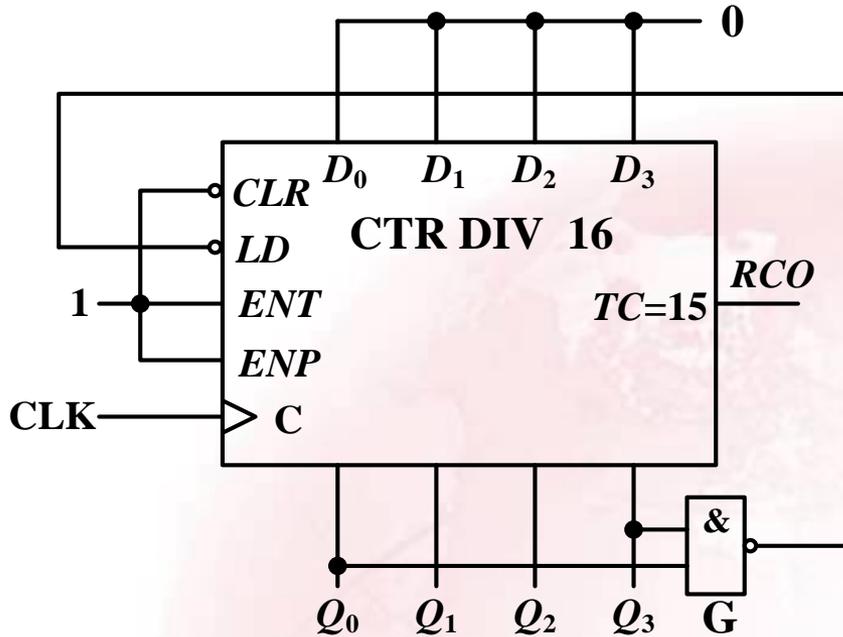


2) 反馈置位法(置数法)

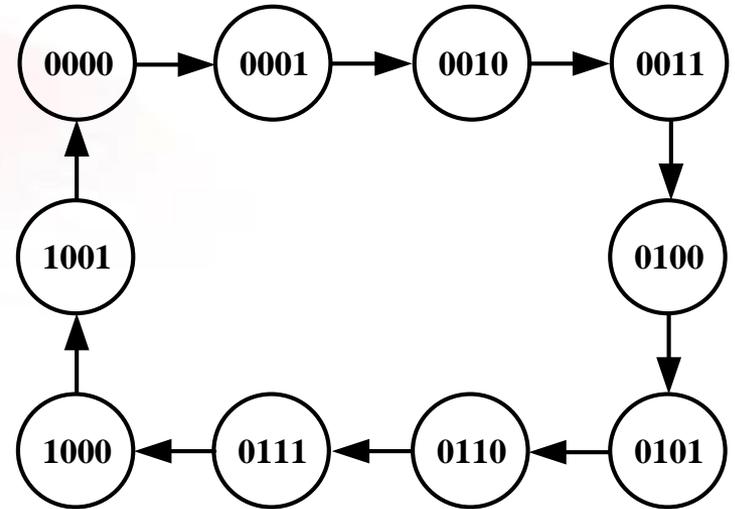
利用计数器的预置数控制端来获得任意进制计数器。



例：用74163实现模10计数器。

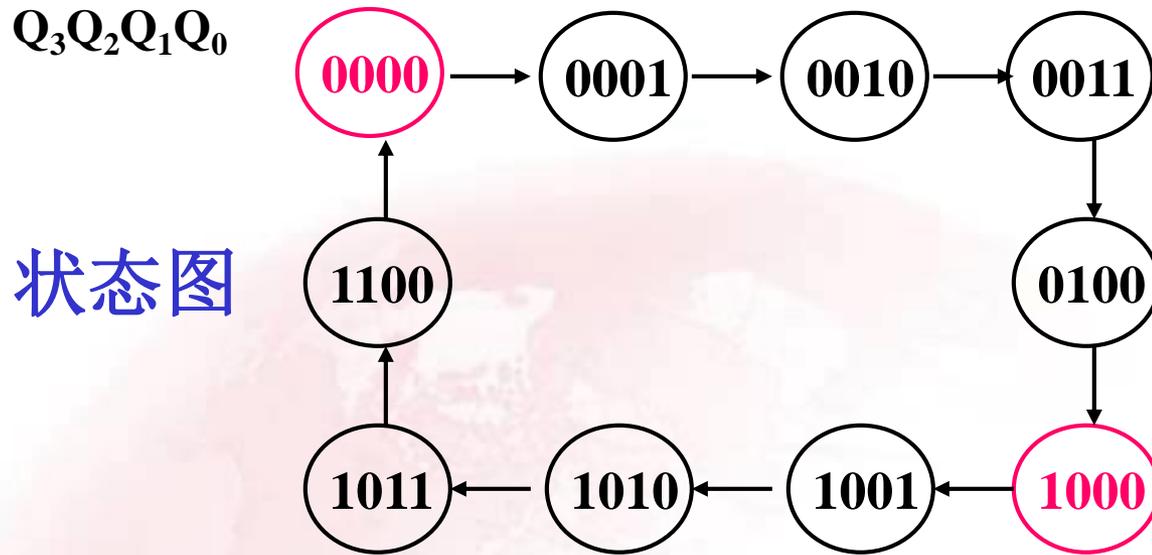


$Q_3Q_2Q_1Q_0$



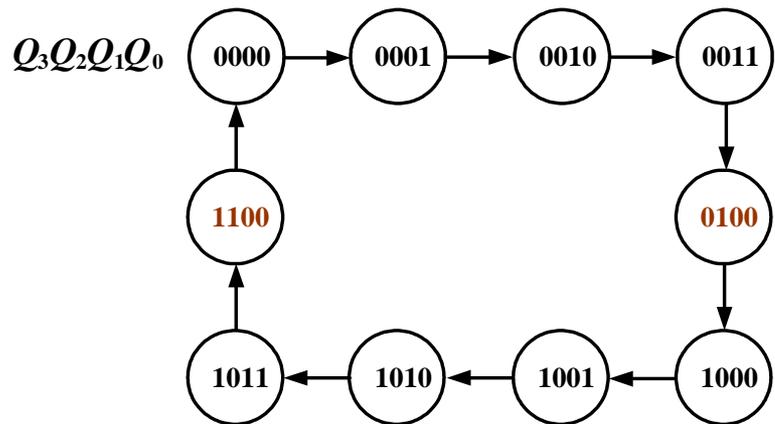


例：用同步计数器74163实现5421BCD码计数器。



方案一：可在同一电路中既采用置数，又采用清零方法。

方案二：只采用置数法，在不同的位置置不同的数。



(a)

$Q_3 Q_2$ \ $Q_1 Q_0$	00	01	11	10
00	1	1	1	1
01	0	×	×	×
11	0	×	×	×
10	1	1	1	1

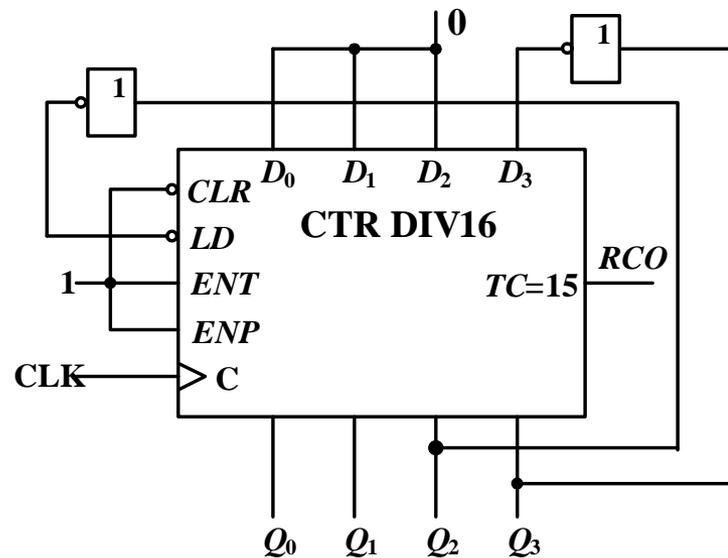
\overline{LD}

(b)

$Q_3 Q_2$ \ $Q_1 Q_0$	00	01	11	10
00	XXXX	XXXX	XXXX	XXXX
01	1000	XXXX	XXXX	XXXX
11	0000	XXXX	XXXX	XXXX
10	XXXX	XXXX	XXXX	XXXX

$D_3 D_2 D_1 D_0$

(c)



(d)

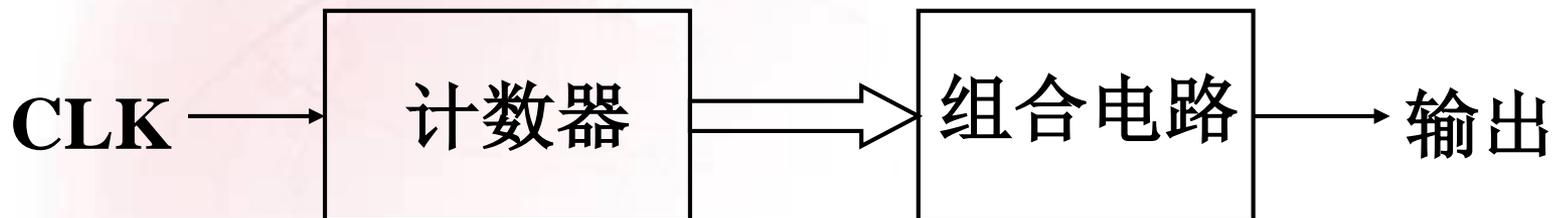


6.1.3 计数器应用

1. 序列信号发生器

在数字信号的传输和数字系统的测试中，有时需要用到一组**特定的串行数字信号**。通常把这种串行数字信号称为**序列信号**。产生序列信号的电路称为**序列信号发生器**。

用计数器和简单组合逻辑电路（如MUX）组成**序列信号发生器**。





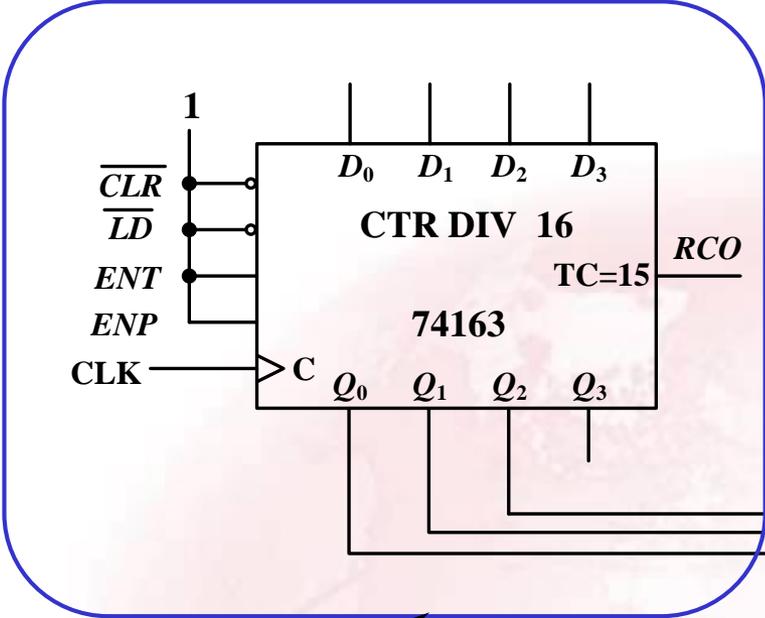
例：设计00011011序列信号发生器。

设计步骤：

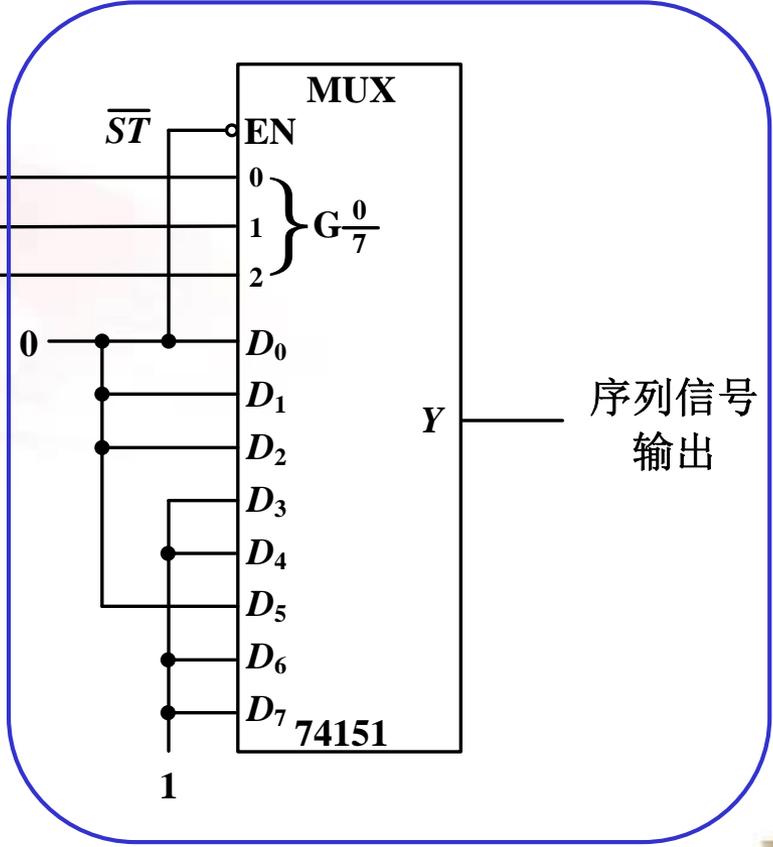
1. 由于序列长度为8，因此先设计一个模8计数器；
2. 将模8计数器的状态码，通过组合电路转换成对应的序列码。



转换电路

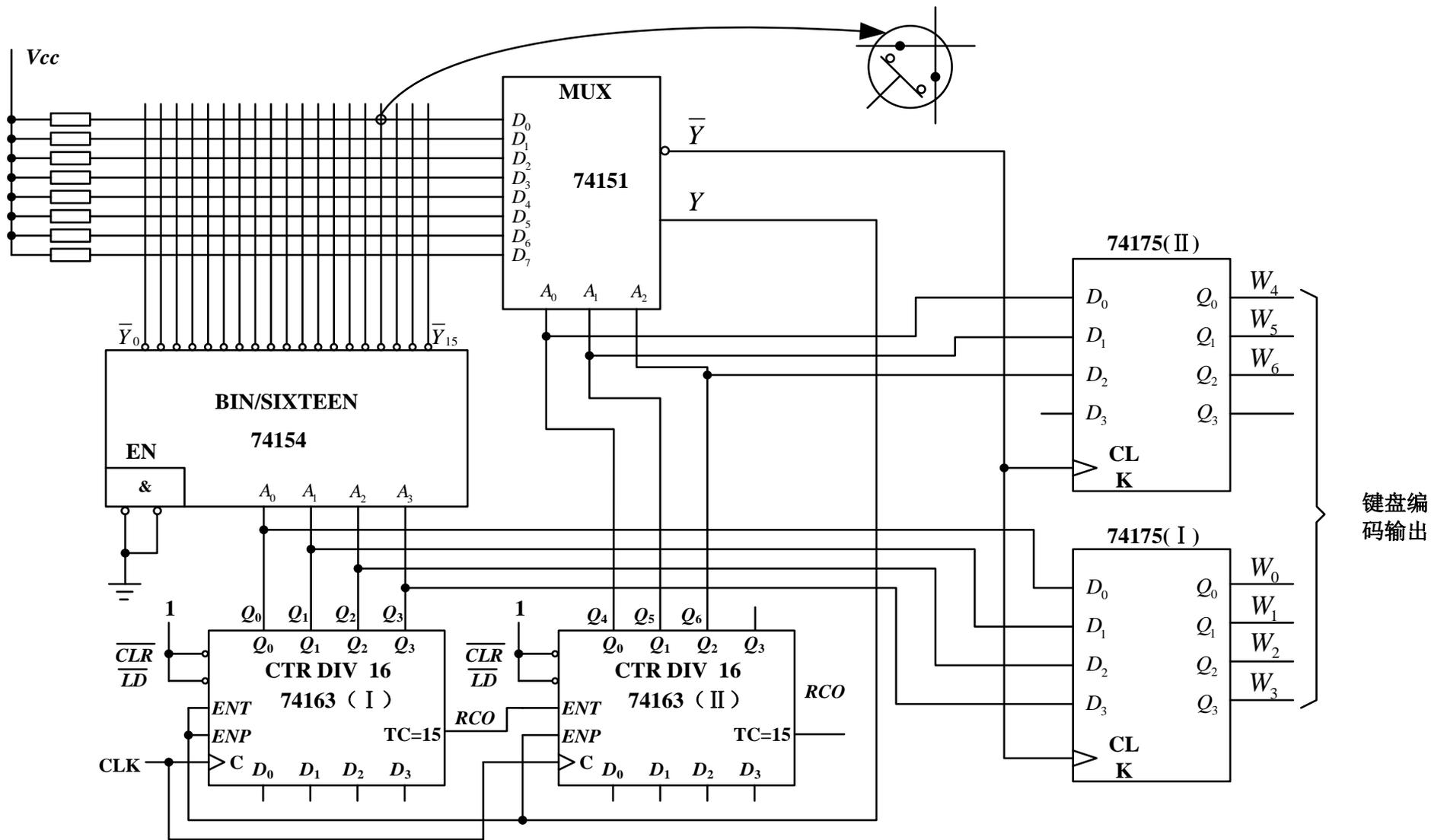


模8计数器



用计数器和数据选择器组成序列信号发生器

2. 键盘扫描电路



键盘扫描编码电路示意图



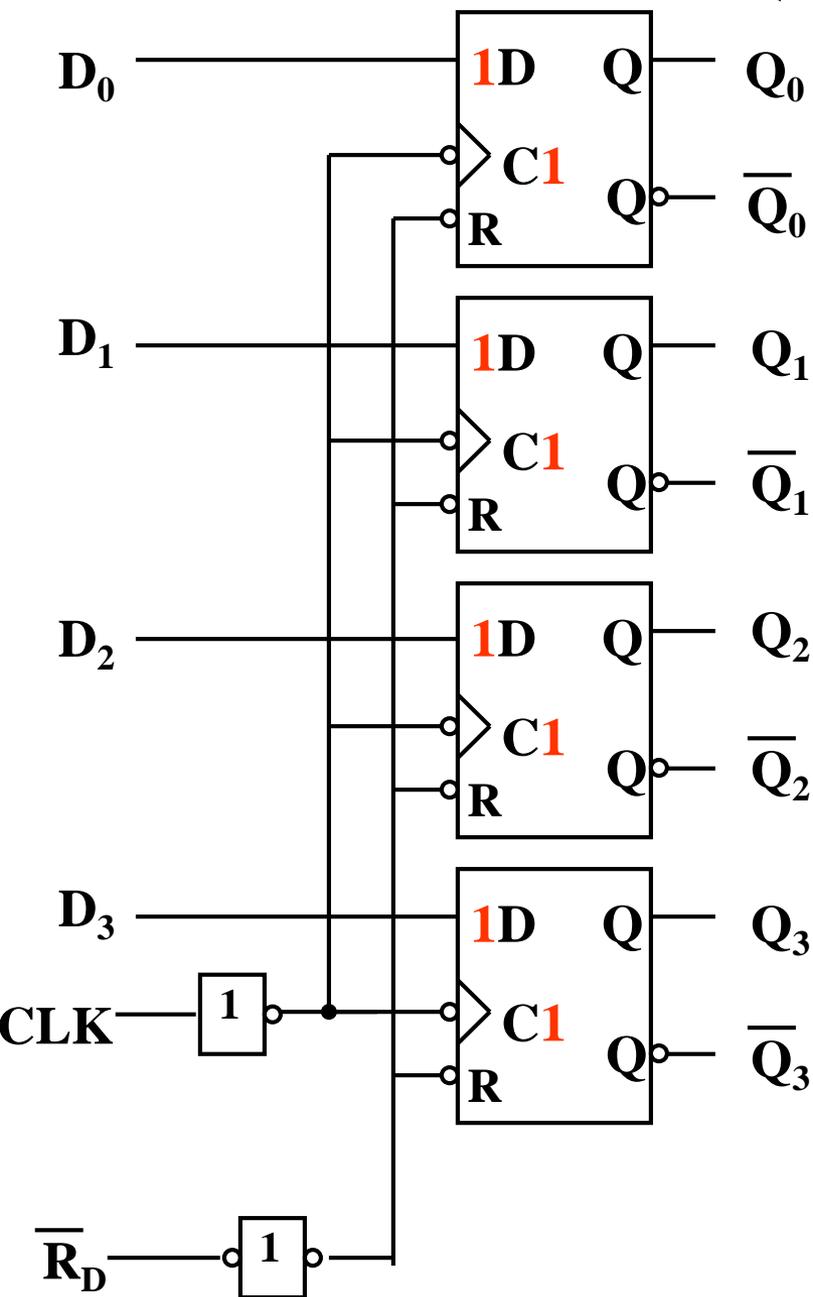
6.2 寄存器和移位寄存器

6.2.1 寄存器

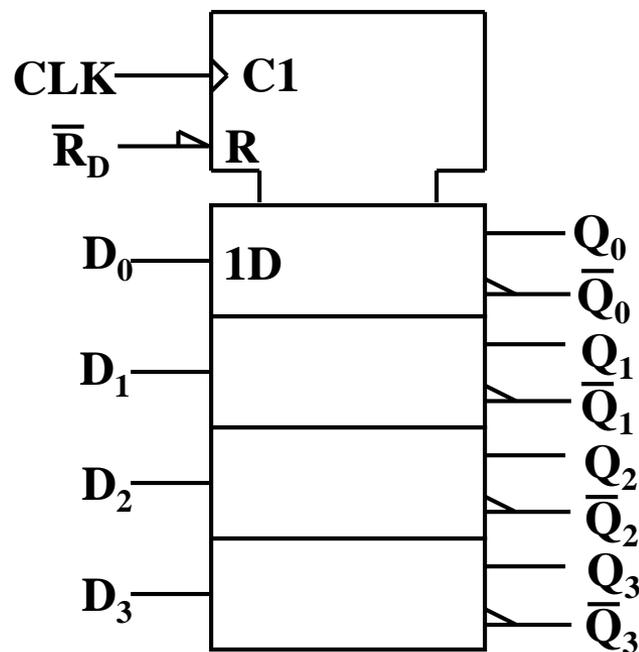
寄存器是用于暂时存放二进制数码的时序逻辑部件，广泛地应用于各类数字系统中。

MSI多位数据寄存器通常分为两类，一类是由多位D触发器并行组成的寄存器，数据是在时钟有效边沿到来时存放的；另一类是由D锁存器组成，数据是在时钟某个约定电平下存入的。

① 4位D触发器寄存器(74175)

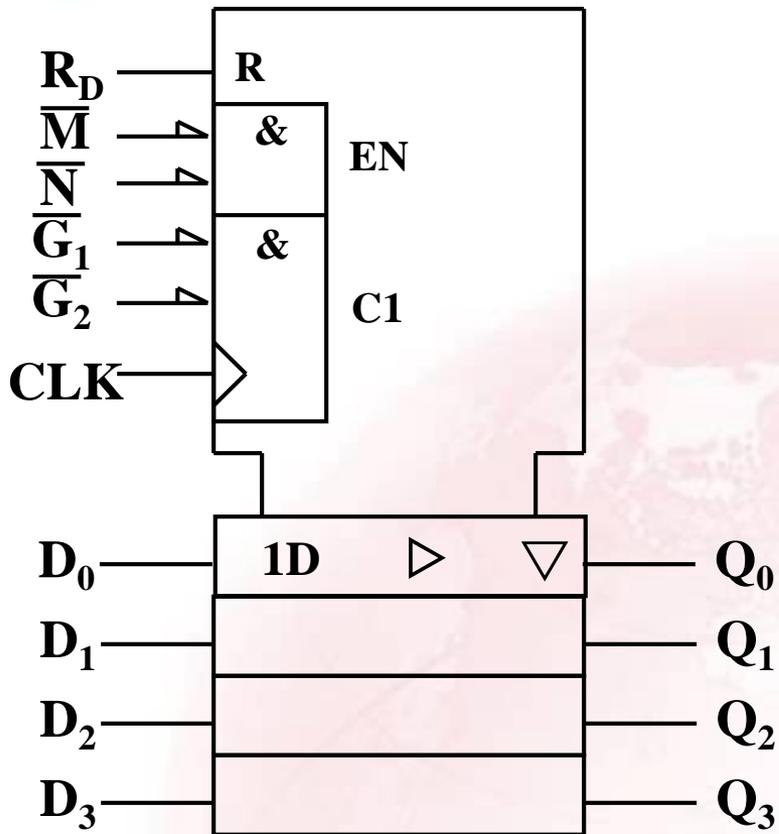


输入			输出	
\bar{R}_D	CLK	D	Q^{n+1}	\bar{Q}^{n+1}
0	×	×	0	1
1	↑	1	1	0
1	↑	0	0	1
1	0	×	Q^n	\bar{Q}^n





② 具有三态输出的四位缓冲数据寄存器(74173)



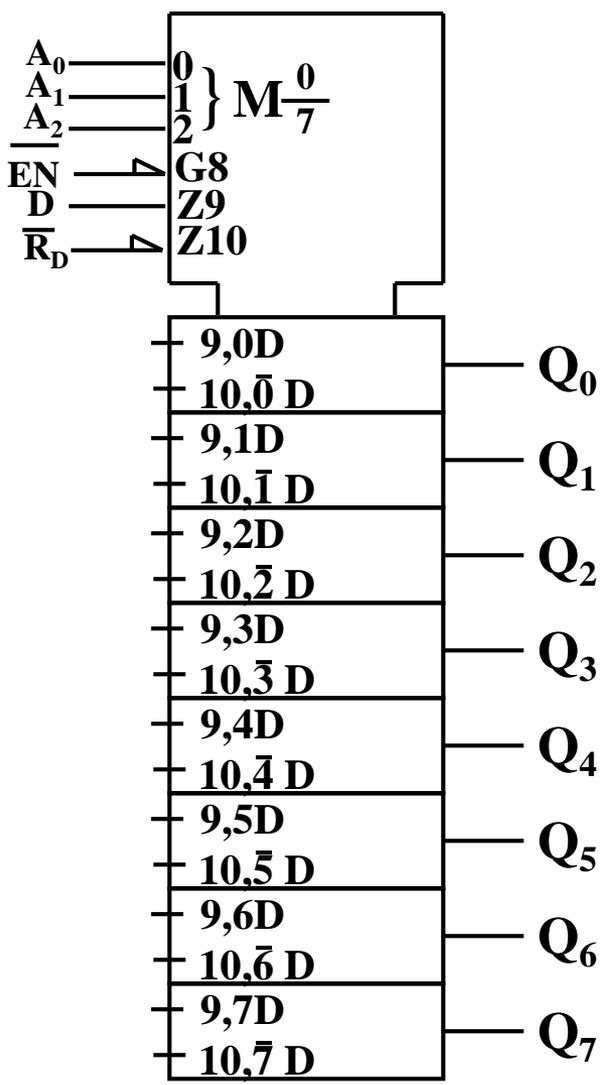
▷: 为缓冲器符号;
▽: 三态符号。

74173功能表

R_D	CLK	\overline{G}_1	\overline{G}_2	\overline{M}	\overline{N}	Q_0	Q_1	Q_2	Q_3
1	×	×	×	0	0	0	0	0	0
0	↑	0	0	0	0	D_0	D_1	D_2	D_3
0		1	×	0	0	Q_0	Q_1	Q_2	Q_3
0		×	1	0	0	Q_0	Q_1	Q_2	Q_3
×				1	×	Z			
				×	1				

③ 8位可选址寄存器(74259)

功能表



逻辑符号

输入		选 址 锁 存 输 出	未 选 址 锁 存 输 出	功 能
$\overline{R_D}$	\overline{EN}			
1	0	D	Q_i^n	选 址 锁 存
1	1	Q_i^n	Q_i^n	保 持
0	0	D	L	DMUX
0	1	L	L	清 零

地 址 输 入			地 址 锁 存
A_2	A_1	A_0	
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

地址
选择表



6.2.2 移位寄存器

功能：存放代码；移位。

分类：

1) 按移位方向分类： ① 单向移位寄存器；
② 双向移位寄存器。

2) 按输入输出的方式分类：

- ① 串入---串出；
- ② 串入---并出；
- ③ 并入---串出；
- ④ 并入---并出。

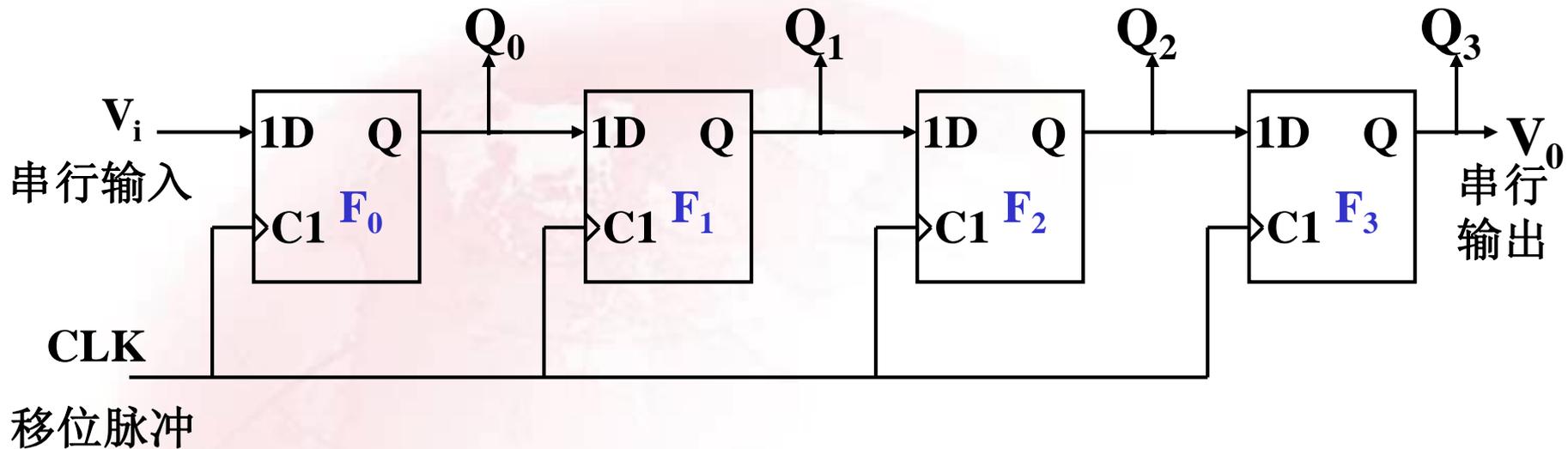
移位寄存器组成：

移位寄存器中的存储电路可用时钟控制的无空翻的D、RS或JK触发器组成。



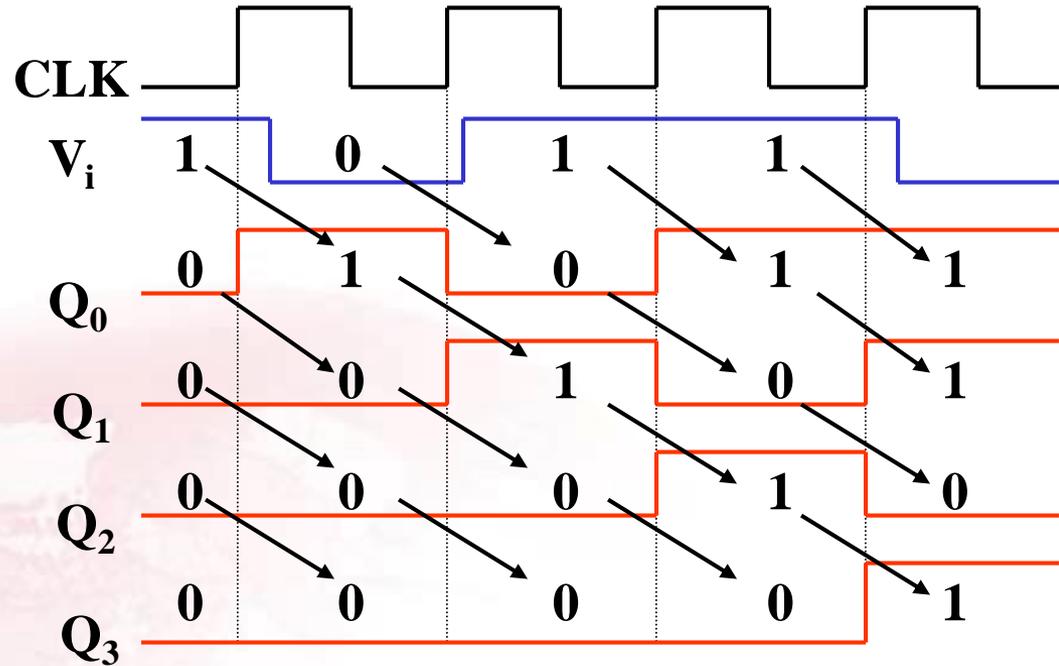
(1) 单向移位寄存器

a) 串入---串/并出单向移存器





各触发器初态为0, V_i 依次输入1→0→1→1时的波形图。

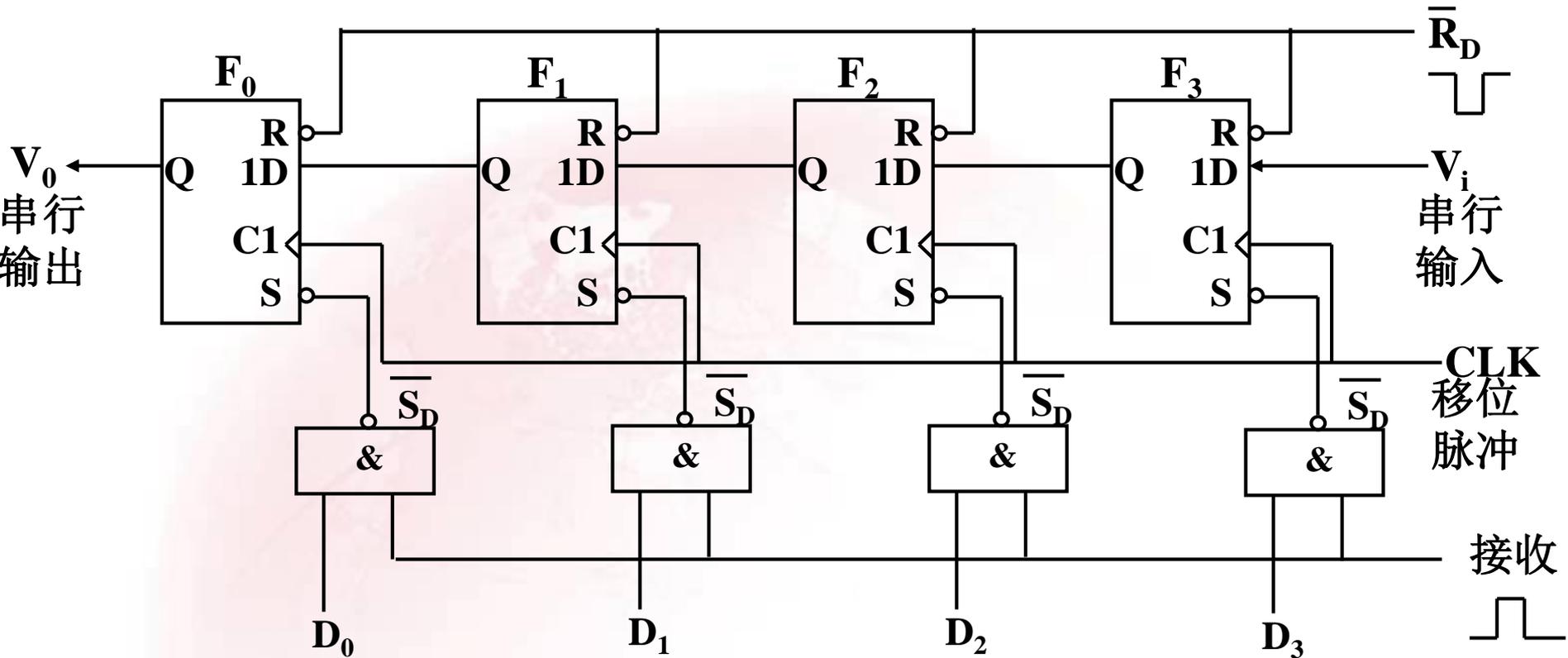




- 一. 在连续四个CLK脉冲后, 在 Q_0 、 Q_1 、 Q_2 和 Q_3 端得到并行输出信号;
- 二. 若再连续输入CLK脉冲, 可在串行输出端得到串行输出信号。

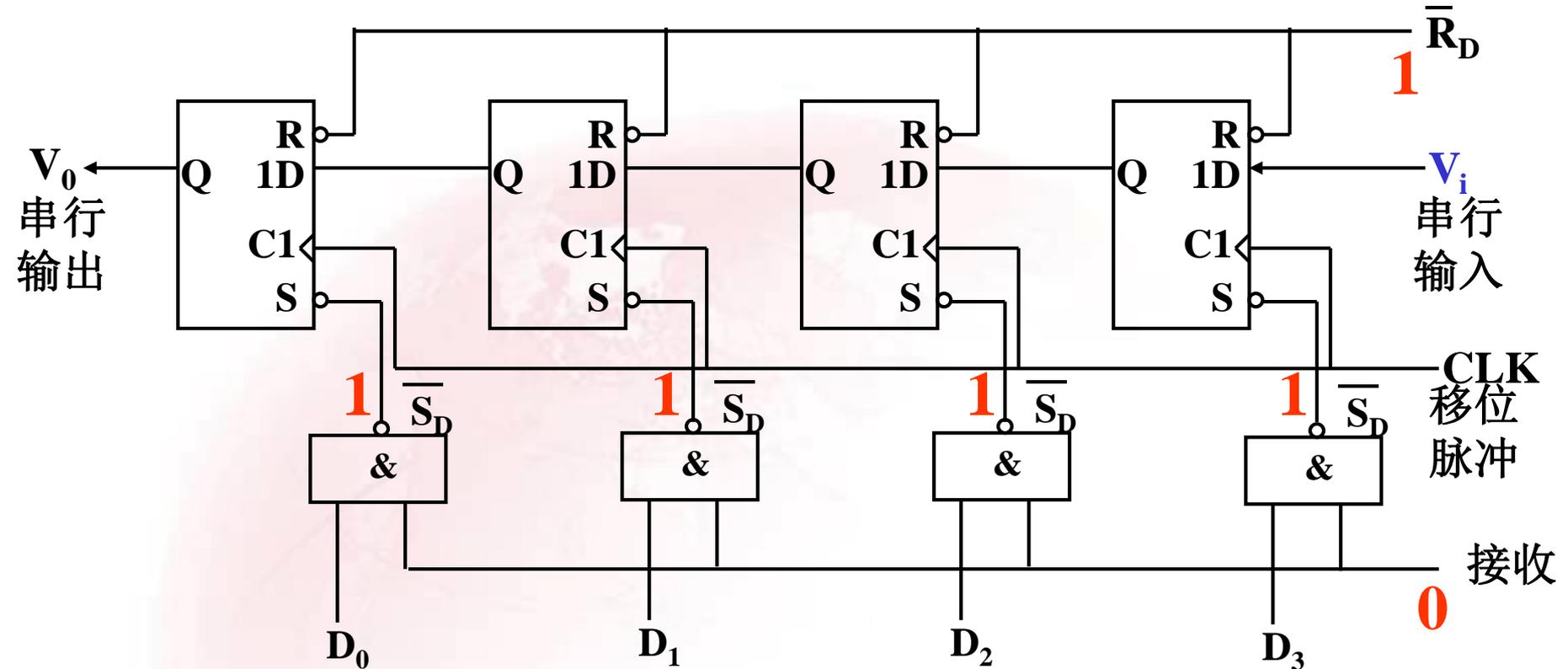


(2) 串/并入—串出单向移存器





工作原理： 1) 串行输入

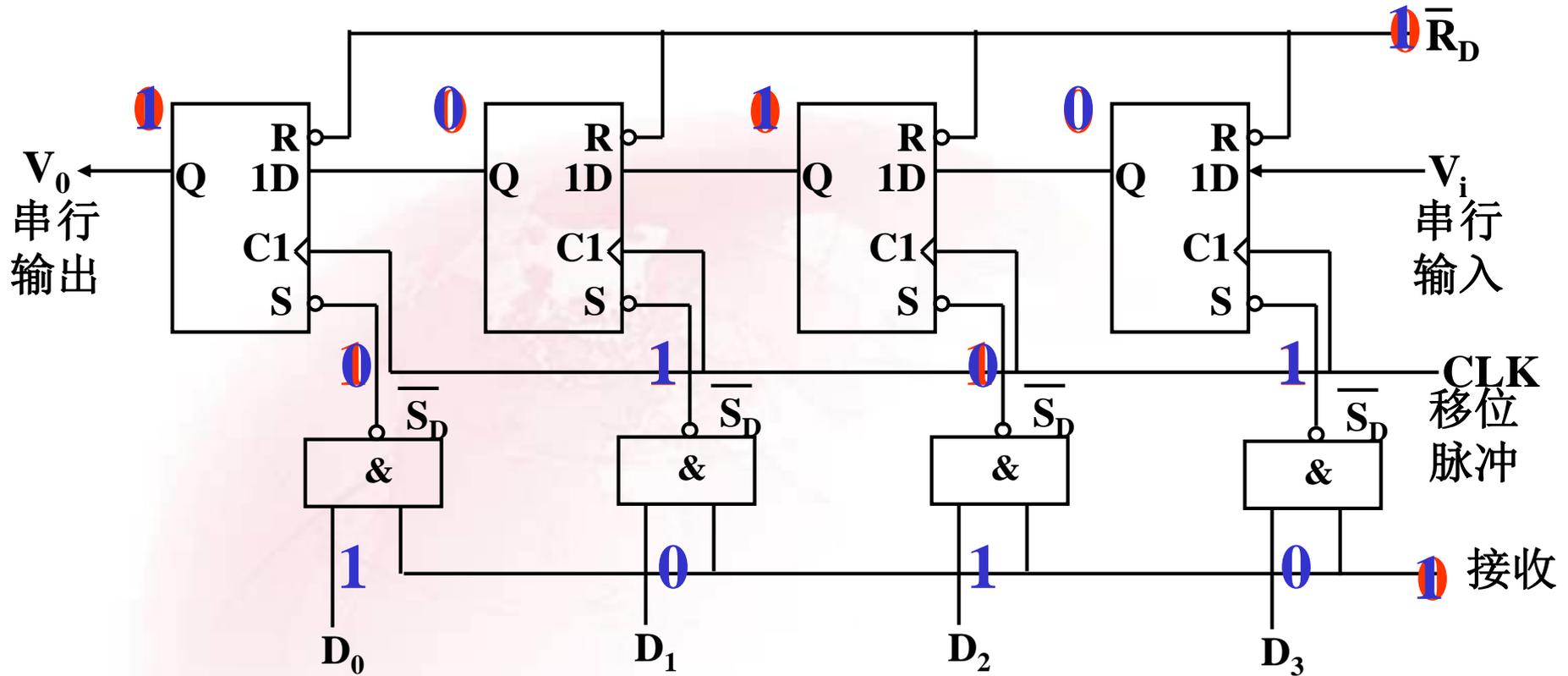




2) 并行输入：

① 清零

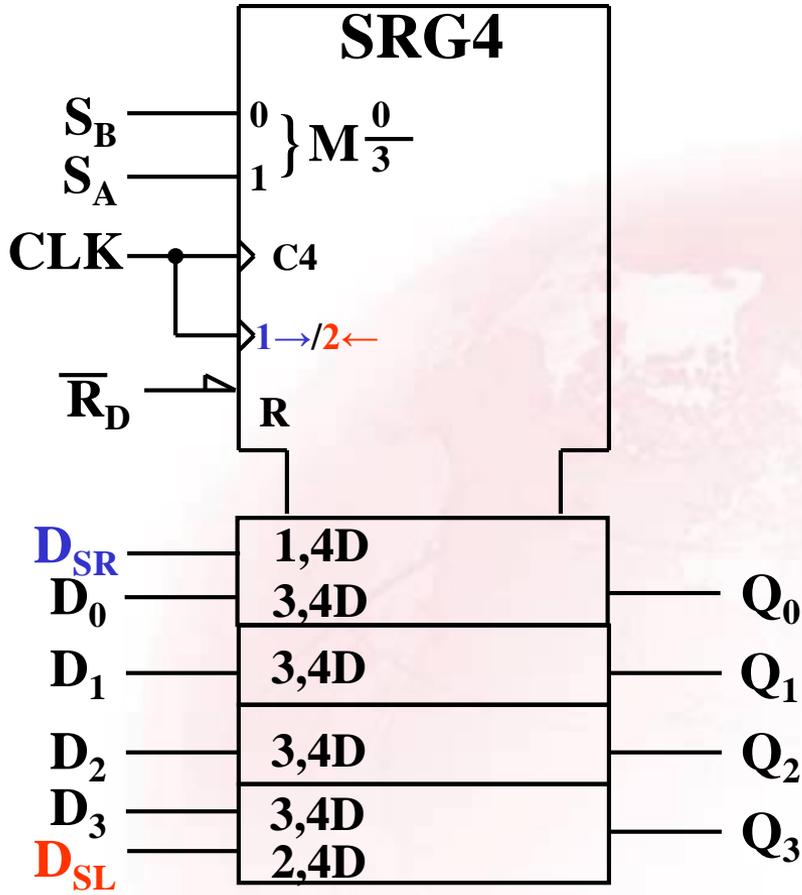
② 接收(以 $D_0D_1D_2D_3=1010$ 为例)





2. 双向移位寄存器

多功能双向移位寄存器74194



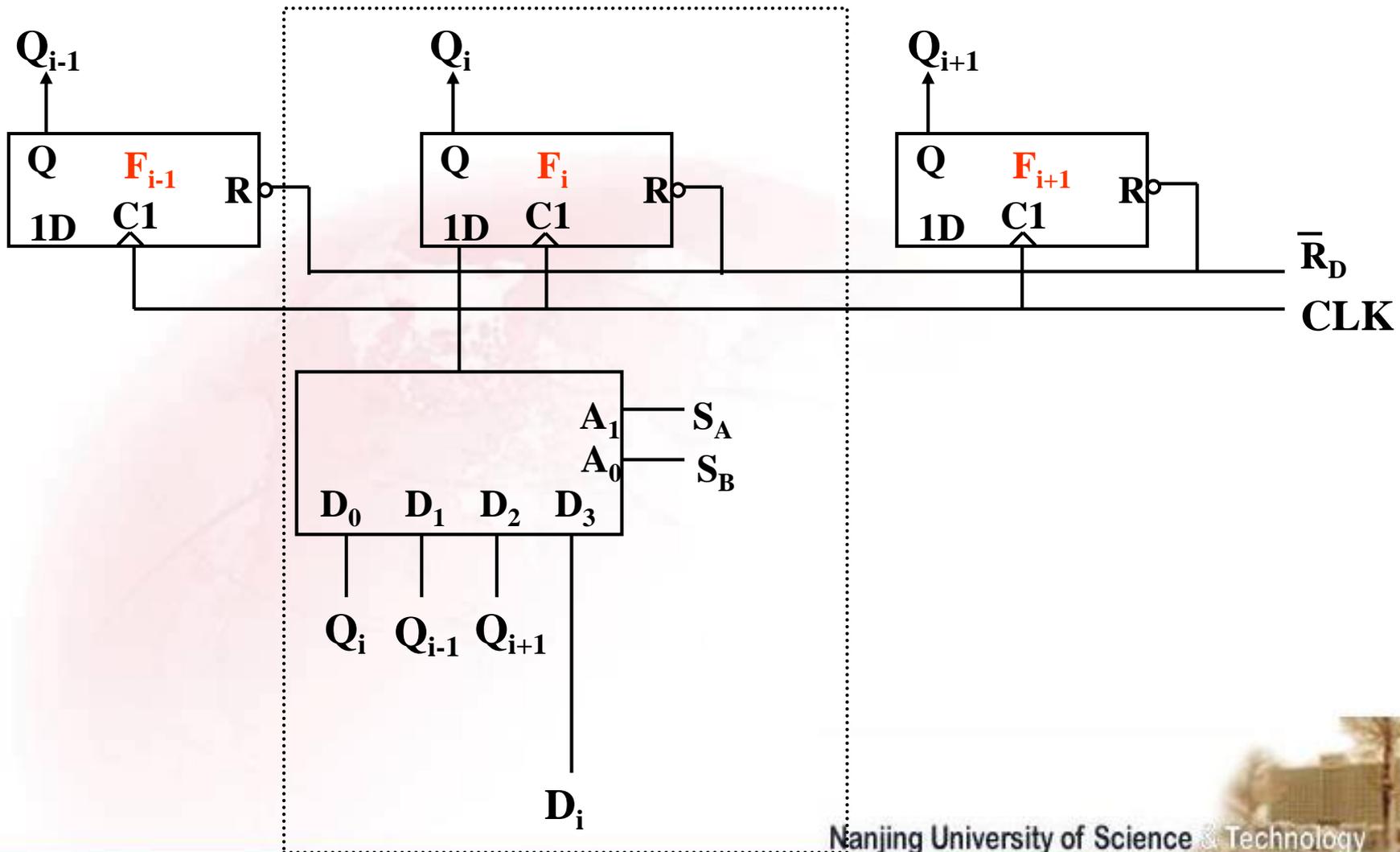
74194

\overline{R}_D	S_A	S_B	CLK	功能
0	×	×	×	清零
1	0	0	↑	保持
1	0	1	↑	右移
1	1	0	↑	左移
1	1	1	↑	并行置数

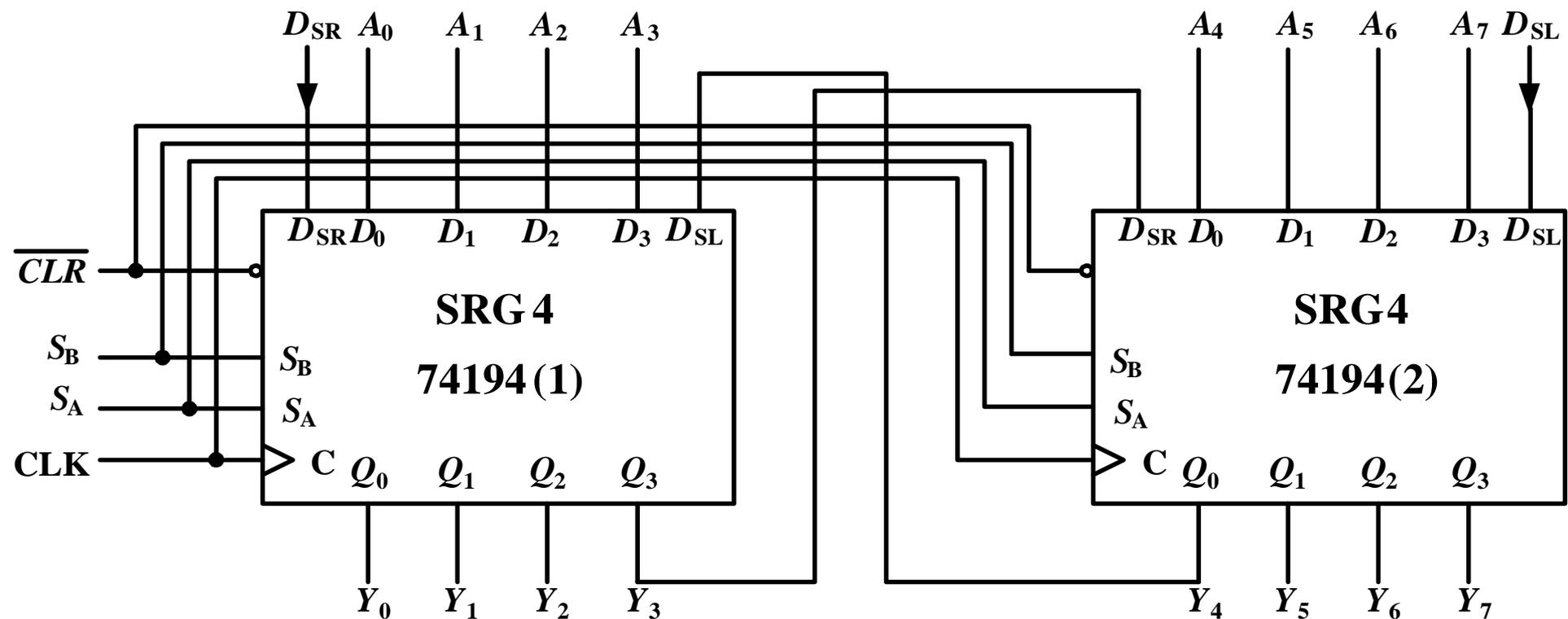
注意：
 清零为**异步**；
 置数为**同步**。



74194逻辑电路结构示意图:



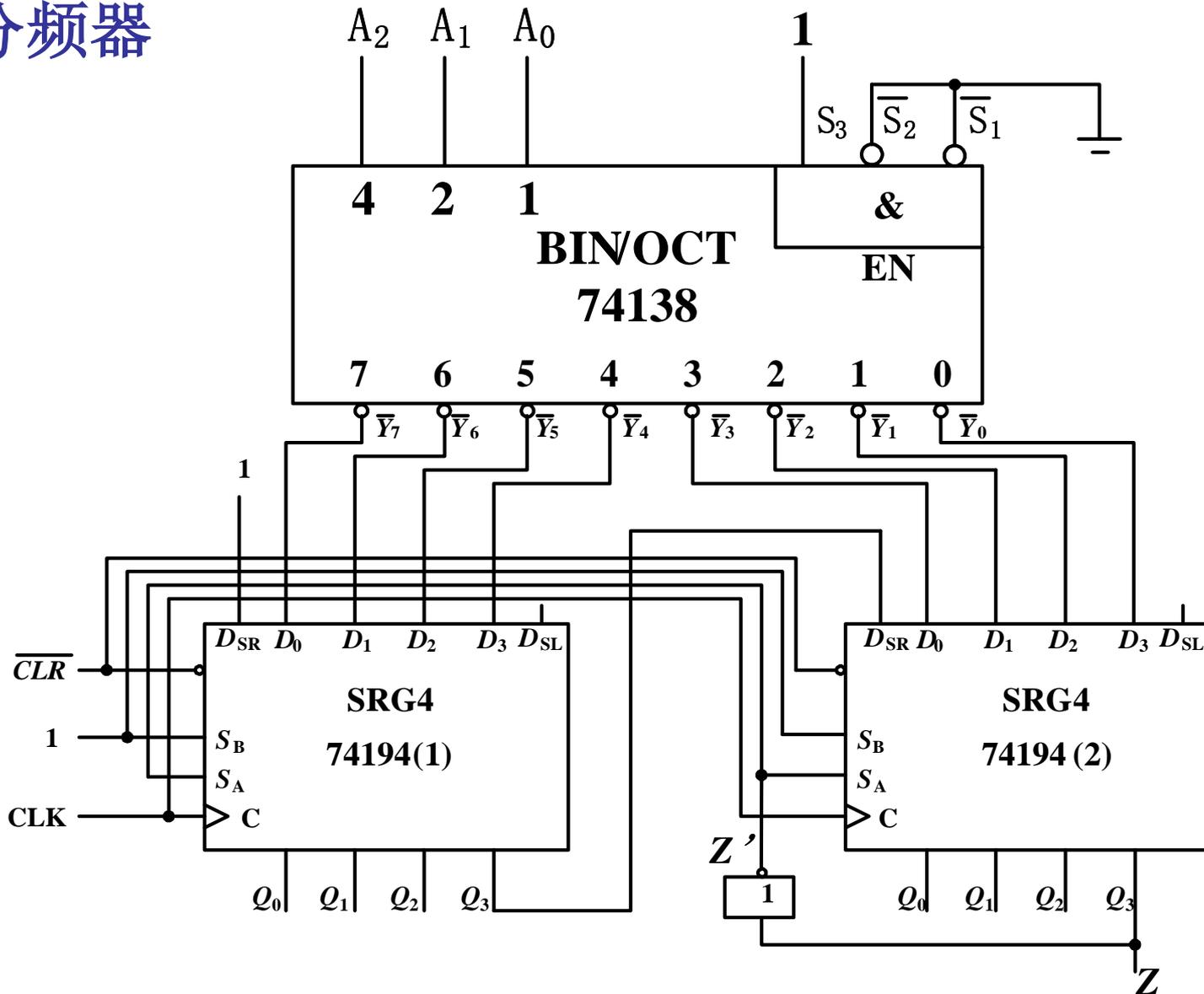
用两片74194接成八位双向移位寄存器



用两片 74194 接成八位双向移存器

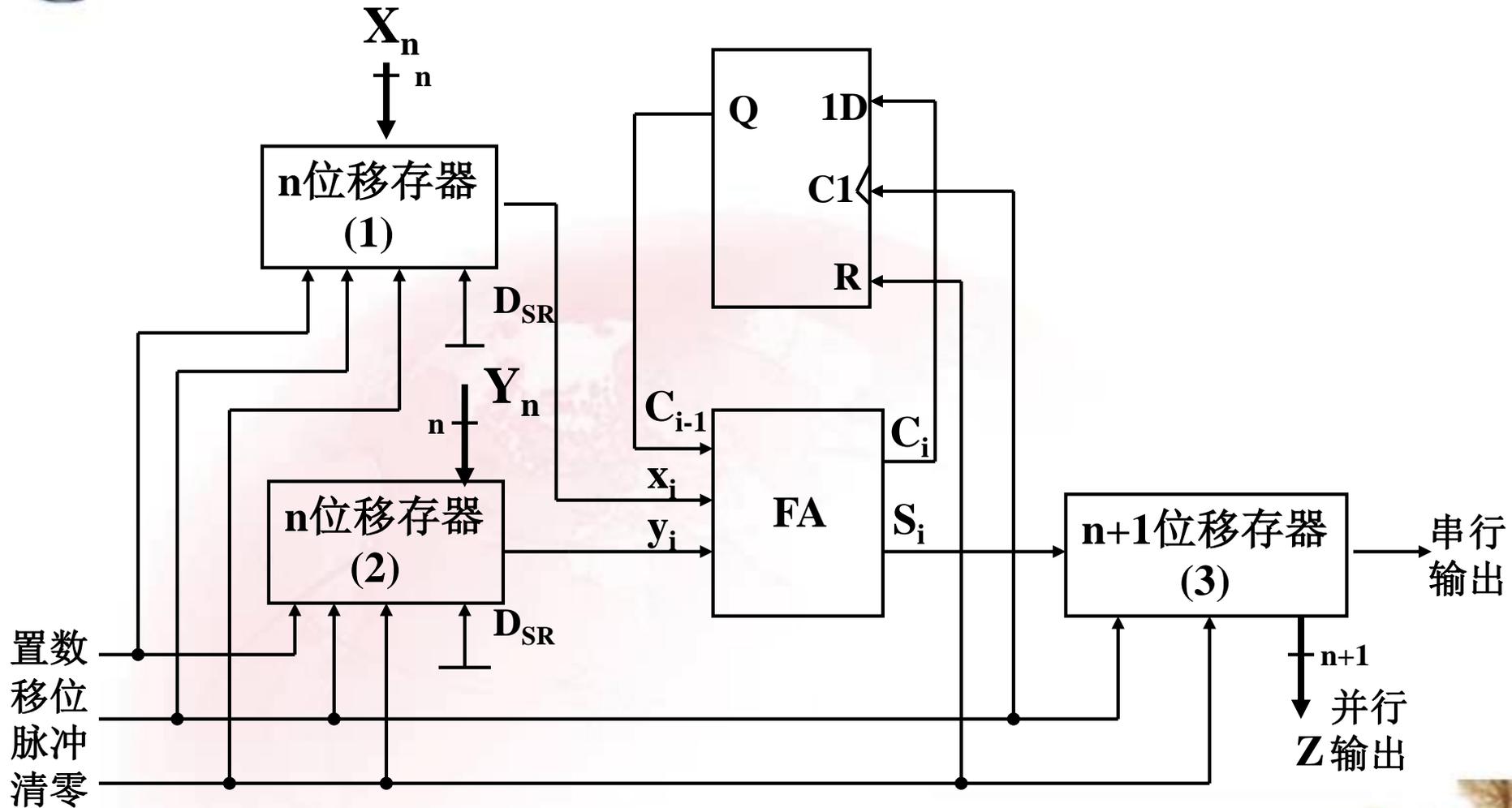
6.2.3 移位寄存器应用举例

1. 可编程分频器



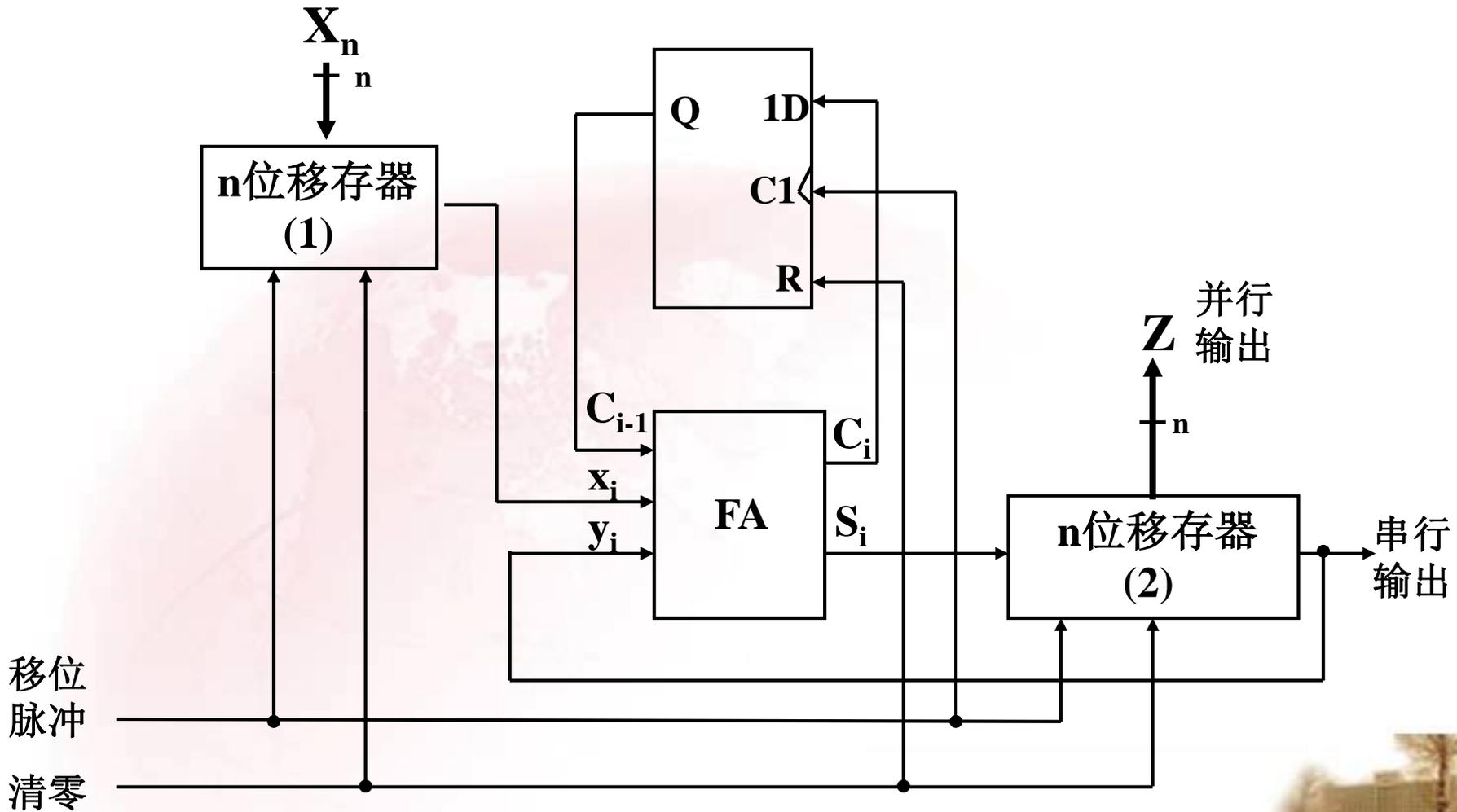


2. 串行加法器





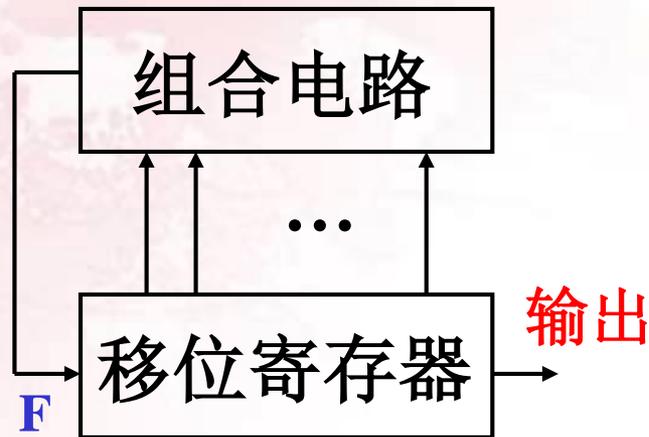
3. 串行累加器





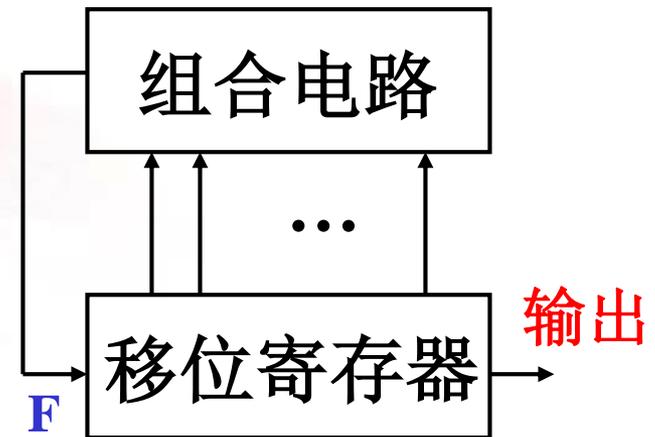
4. 序列信号发生器

移位型序列信号发生器的一般框图为：





工作原理：将移位寄存器和外围组合电路构成一个**移存型计数器**，使该计数器的**模**和要产生的序列信号的**长度**相等，并使移位寄存器的串行输入信号**F**（即组合电路的输出信号）和所要产生的序列信号相一致。





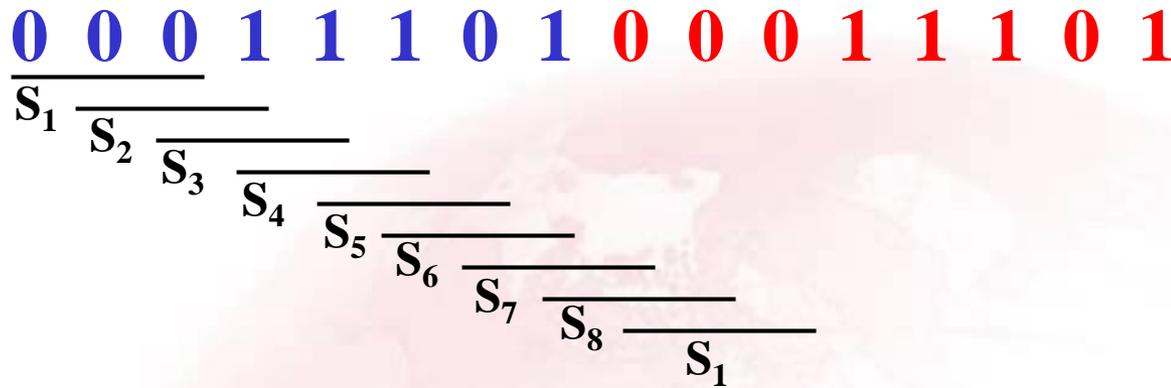
例：试设计一个能产生序列信号为**00011101**的移位型序列信号发生器。

设计方法：

序列长度为8，考虑用3位移位寄存器。选用74194。仅使用74194的 Q_0 、 Q_1 和 Q_2 。



① 状态划分



$$S_i = Q_0 Q_1 Q_2$$



$$S_1 = 000$$

$$S_2 = 100$$

$$S_3 = 110$$

$$S_4 = 111$$

$$S_5 = 011$$

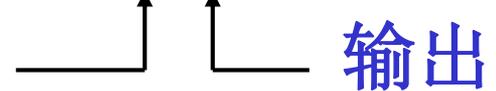
$$S_6 = 101$$

$$S_7 = 010$$

$$S_8 = 001$$

$$S_1 = 000$$

右移串
行输入





② 求右移串行输入信号 D_{SR}

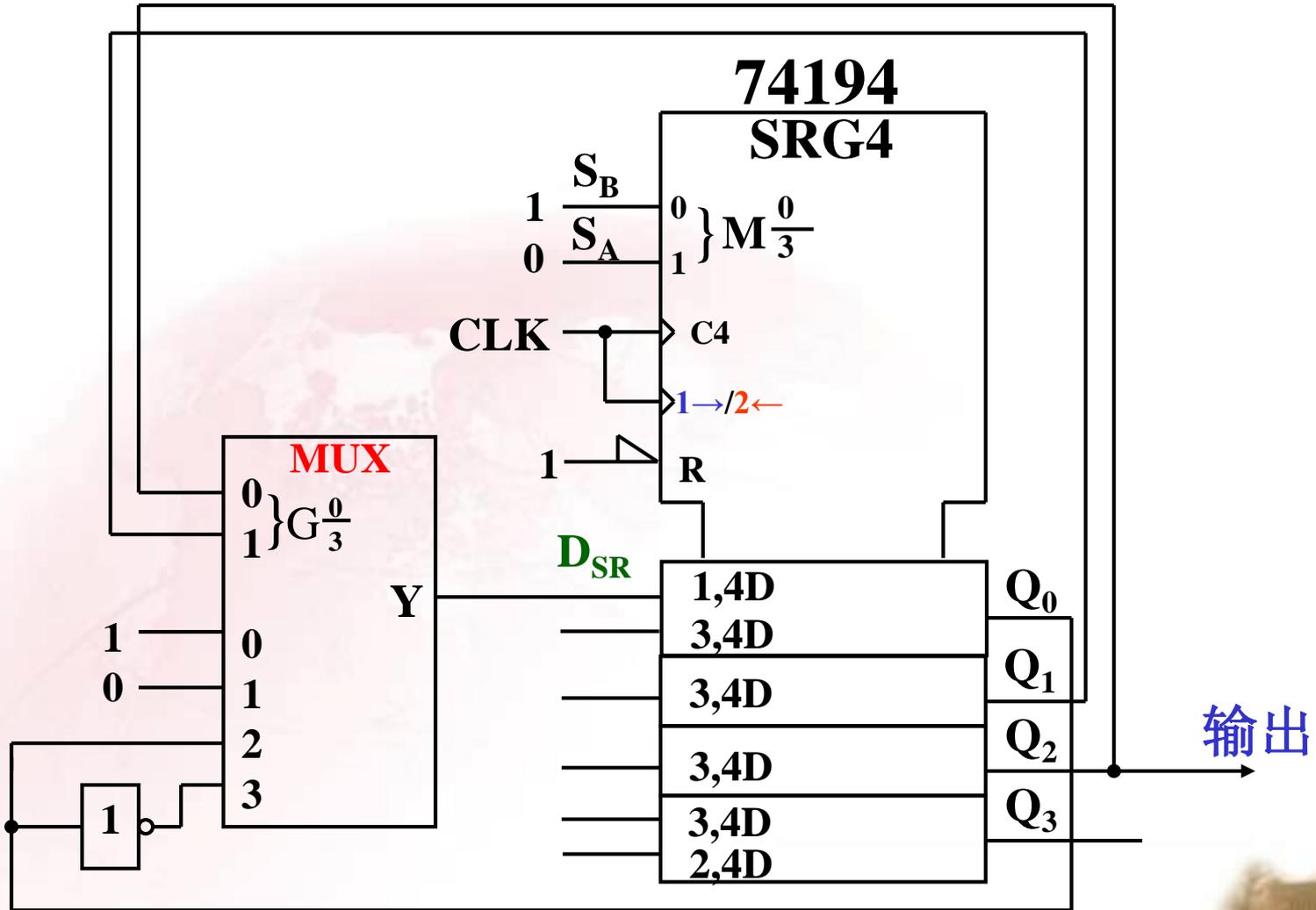
外围组合电路用四选一MUX实现，取 Q_1Q_2 为地址，则：

$Q_1^n Q_2^n$	00	01	11	10
Q_0^n 0	1	0	1	0
Q_0^n 1	1	0	0	1

$D_0=1$ $D_1=0$ $D_3=\overline{Q_0}$ $D_2=Q_0$



③ 画电路图

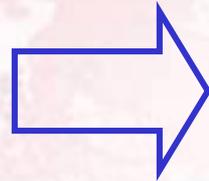




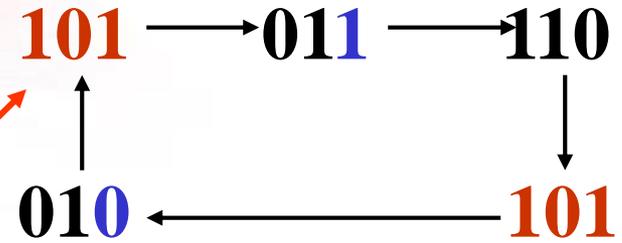
例： 试设计一个能产生序列信号为**10110**的移位型序列信号发生器。

解： ① 状态划分

1 0 1 1 0 1 0
 s_1 s_2 s_3 s_4 s_5



$Q_1 Q_2 Q_3$



在 **S_1** 时，要求
 $D_{SL}=1$

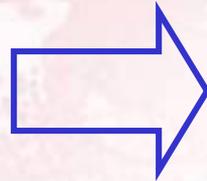
在 **S_4** 时，要求
 $D_{SL}=0$

由于序列长度为5，先对序列按3位划分。



对序列按4位划分：

$\underline{1011010110}$
 $s_1 \quad \underline{\quad\quad\quad}$
 $s_2 \quad \underline{\quad\quad\quad}$
 $s_3 \quad \underline{\quad\quad\quad}$
 $s_4 \quad \underline{\quad\quad\quad}$
 $s_5 \quad \underline{\quad\quad\quad}$



$Q_0Q_1Q_2Q_3$

$1011 \rightarrow 0110 \rightarrow 1101$
 $\uparrow \qquad \qquad \downarrow$
 $0101 \leftarrow 1010$

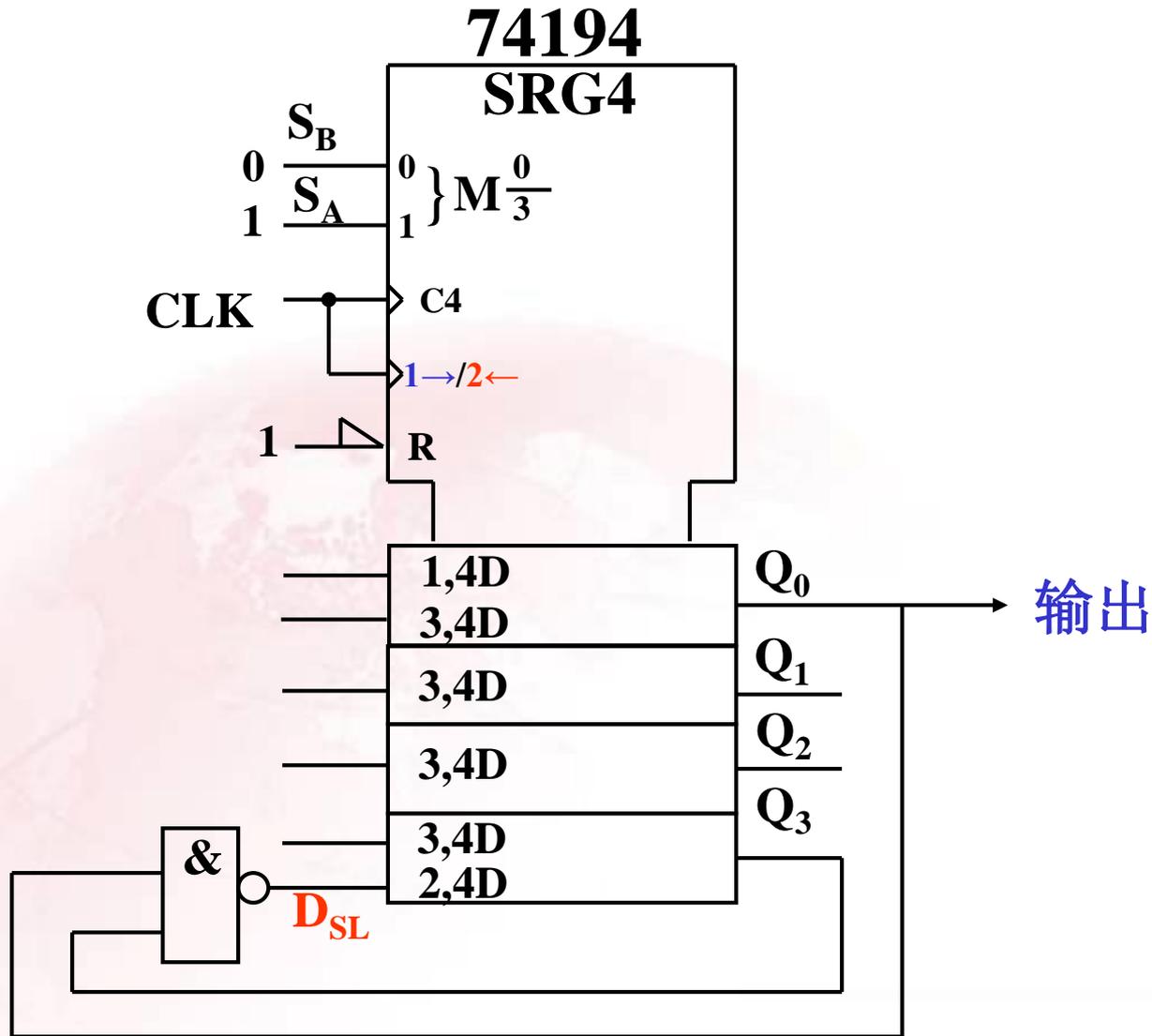


② 求左移串行输入信号 D_{SL}

$Q_2Q_3 \backslash Q_0Q_1$	00	01	11	10
00	×	×	×	×
01	×	1	×	1
11	×	0	×	×
10	×	×	0	1

$$F = \overline{Q_0}^n + \overline{Q_3}^n = \overline{Q_0^n Q_3^n} = D_{SL}$$

可以验证，能自启。





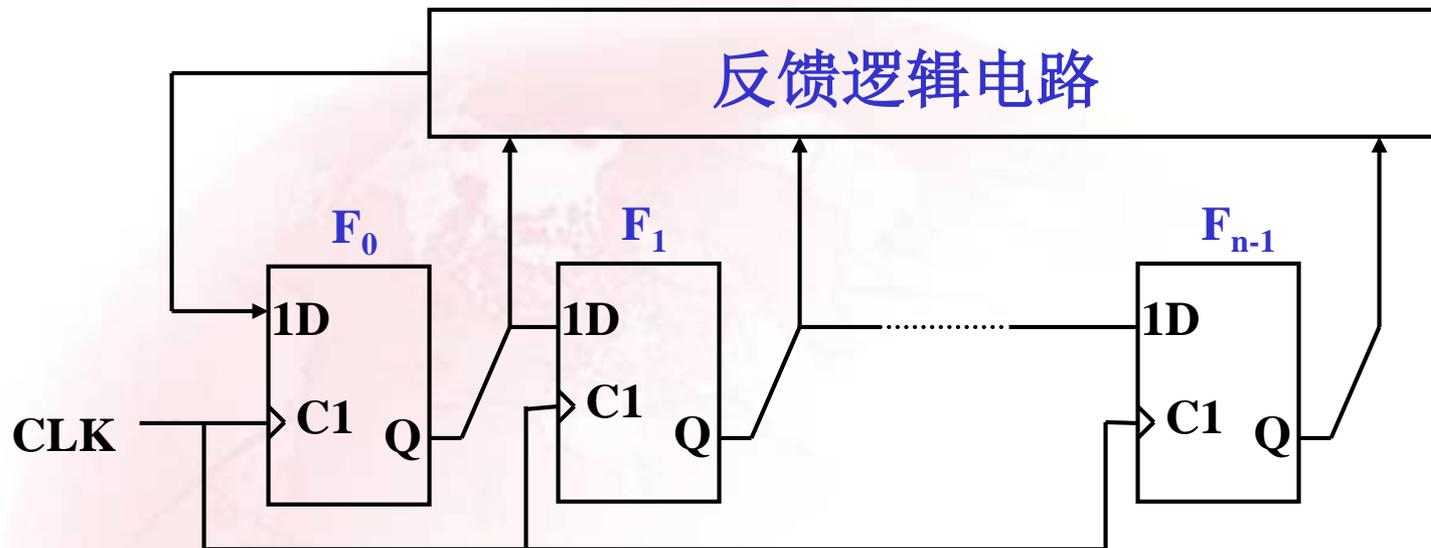
6.2.4 移位寄存器型计数器

移位寄存器型计数器,是指在移位寄存器的基础上加反馈电路而构成的具有特殊编码的同步计数器。

移位寄存器型计数器的状态转移符合移位寄存器的规律,即除去第一级外,其余各级满足: $Q_i^{n+1} = Q_{i-1}^n$



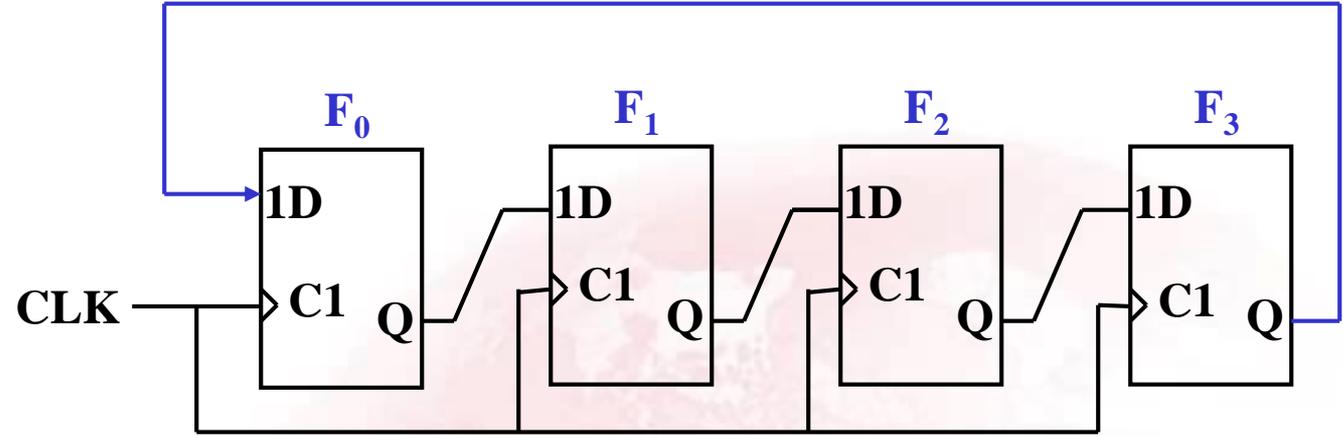
移位寄存器型计数器框图





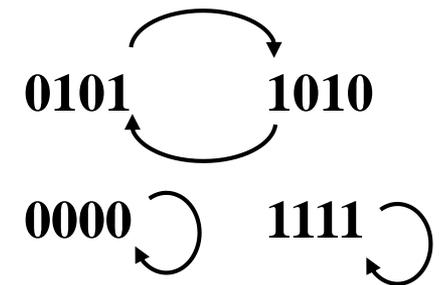
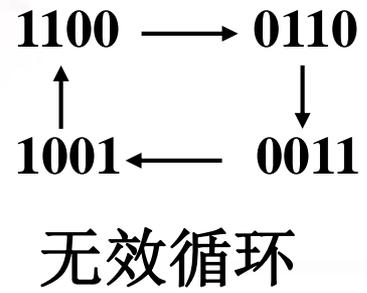
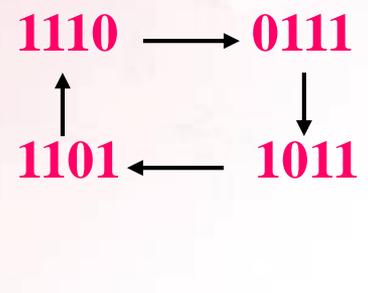
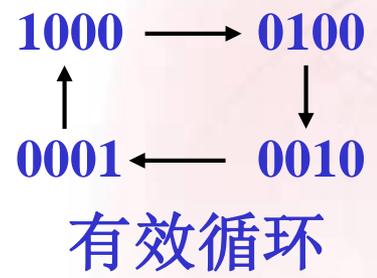
1. 环形计数器

(1) 电路组成 (以四位环形计数器为例)



特点：
将串行输出端
和串行输入端
相连。

(2) 环形计数器状态图





(3) 实现自启动的方法

① 可利用触发器的置位和复位端，将电路初始状态预置成有效循环中的某一状态；

② 重新设计反馈电路，使电路具有自启动特性。设计方法如下：

a. 列表确定反馈函数f；

Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	f
1	0	0	0	0	1	0	0	0
0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	1	0
0	0	0	1	1	0	0	0	1
0	0	0	0	1	0	0	0	1
0	0	1	1	0	0	0	1	0
0	1	0	1	0	0	1	0	0
0	1	1	0	0	0	1	1	0
0	1	1	1	0	0	1	1	0
1	0	0	1	0	1	0	0	0
1	0	1	0	0	1	0	1	0
1	0	1	1	0	1	0	1	0
1	1	0	0	0	1	1	0	0
1	1	0	1	0	1	1	0	0
1	1	1	0	0	1	1	1	0
1	1	1	1	0	1	1	1	0

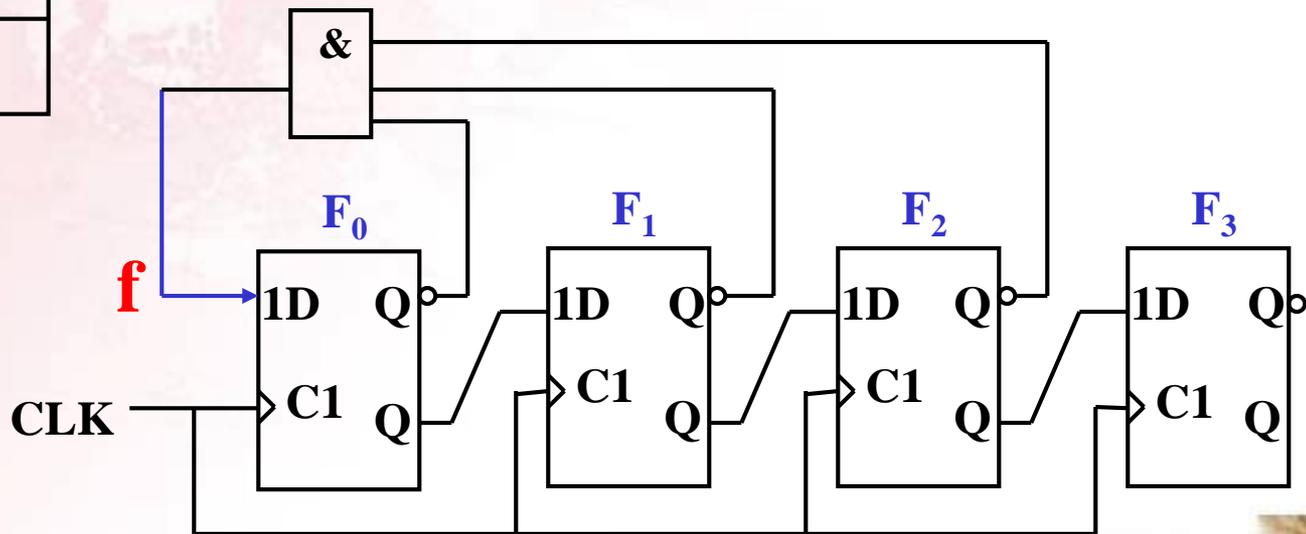


b. 作反馈函数f 的卡诺图,求f 的最简表达式;

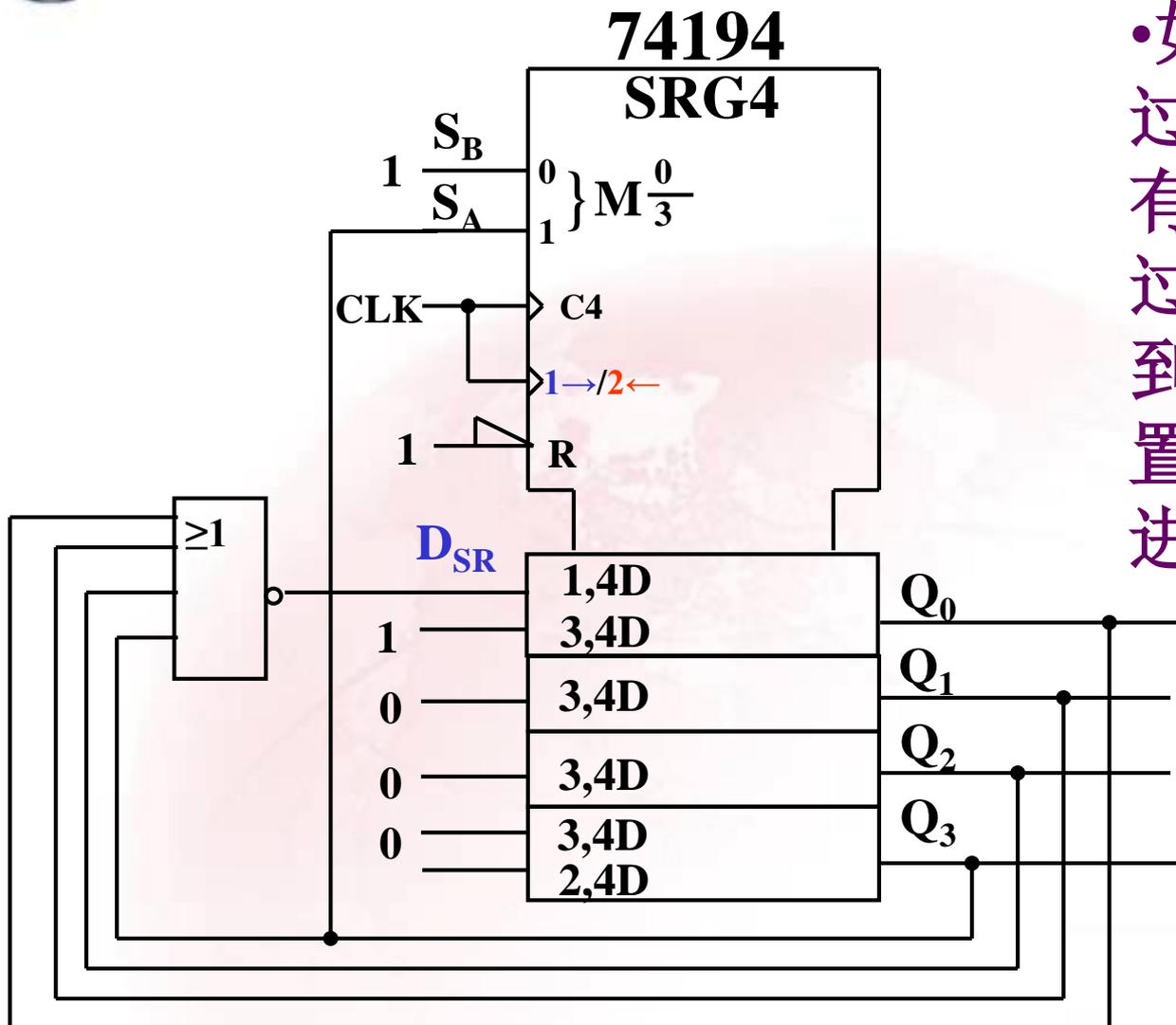
		Q_2Q_3			
		00	01	11	10
Q_0Q_1	00	1	1		
	01				
	11				
	10				

$$f = \overline{Q_0} \overline{Q_1} \overline{Q_2}$$

c. 画逻辑图



(4) 用MSI构成的能自启动环形计数器

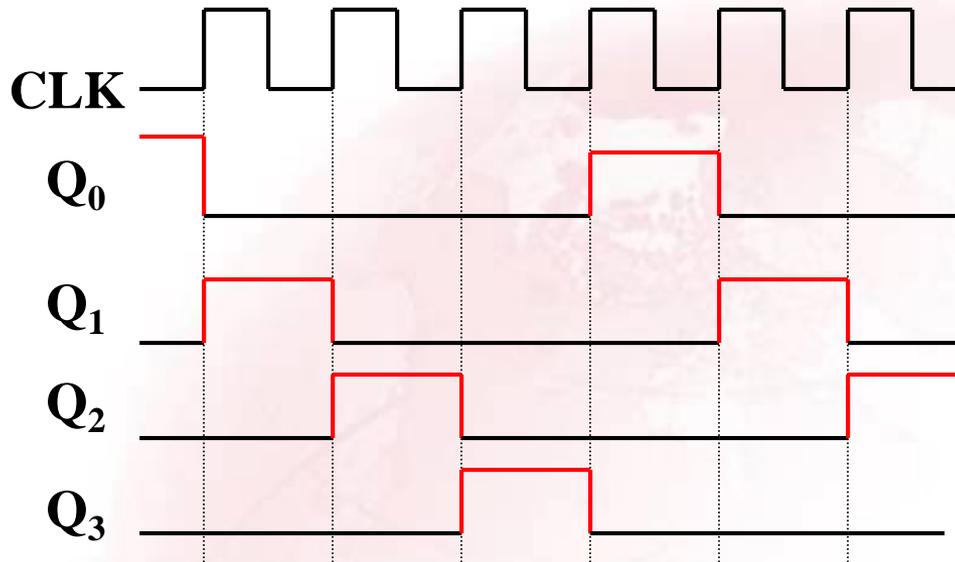


•如输出均为0,则通过 D_{SR} 移入1,进入有效循环;否则经过移位,总会将1移到 Q_3 处,电路进入置数状态,置入1000,进入有效循环状态



(5) 环形计数器的特点

- ① 环形计数器附带有译码器功能;
- ② 环形计数器的输出波形为顺序脉冲;



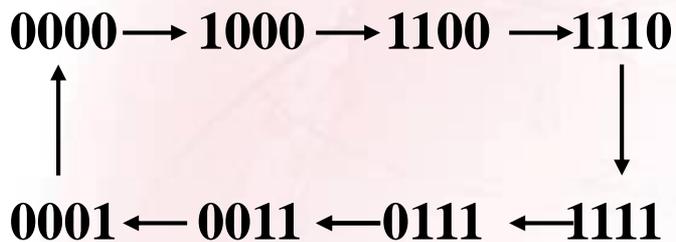
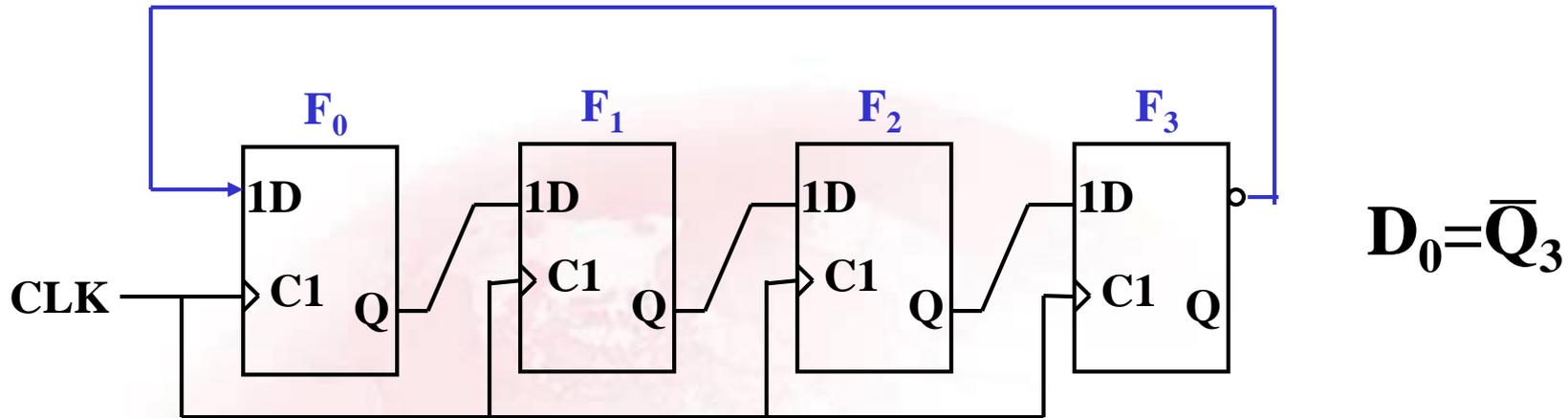
常称环形计数器为
顺序脉冲发生器。

- ③ 环形计数器的缺点是状态利用效率低, n 个触发器构成的环形计数器仅有 n 个有效状态, 有 $2^n - n$ 个无效状态。

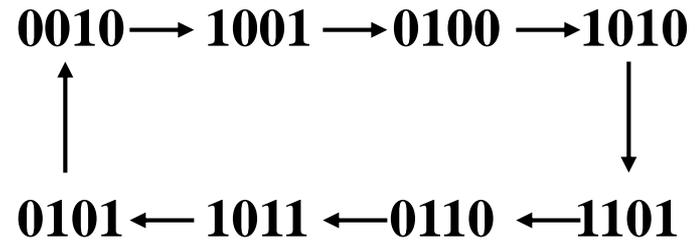


2. 扭环形计数器

(1) 电路组成和逻辑功能分析



有效循环



无效循环



(2) 实现自启动的方法

可在无效循环圈内选合适的状态,通过修改反馈函数,达到自启动的目的.

		Q_2Q_3			
		00	01	11	10
Q_0Q_1	00	1	0	0	1
	01	1	0	0	1
	11	1	0	0	1
	10	1	0	0	1

原状态图

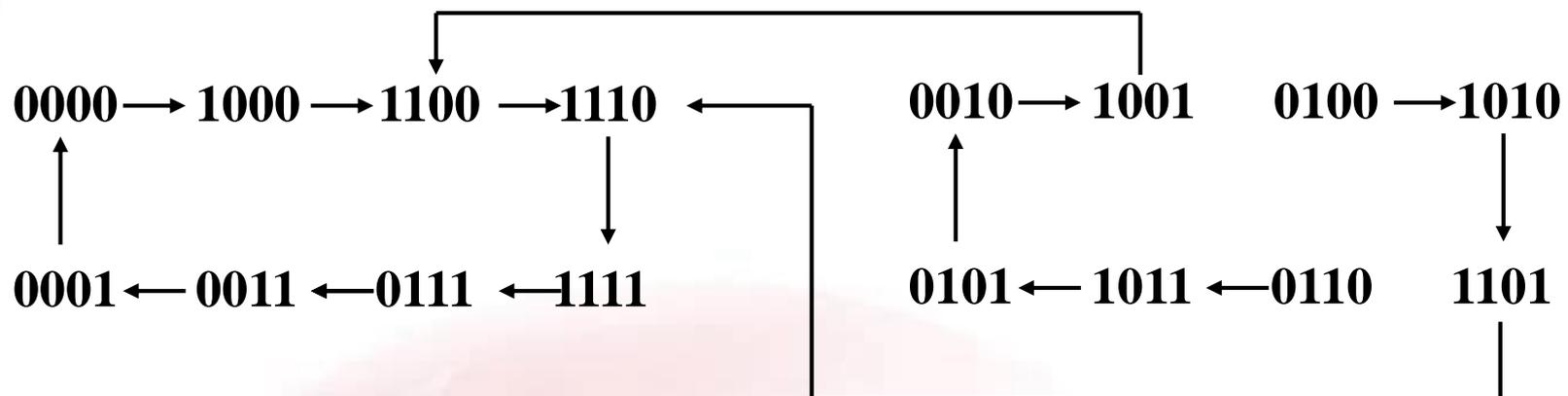
$$D_0 = \bar{Q}_3$$

		Q_2Q_3			
		00	01	11	10
Q_0Q_1	00	1	0	0	1
	01	1	0	0	1
	11	1	1	0	1
	10	1	1	0	1

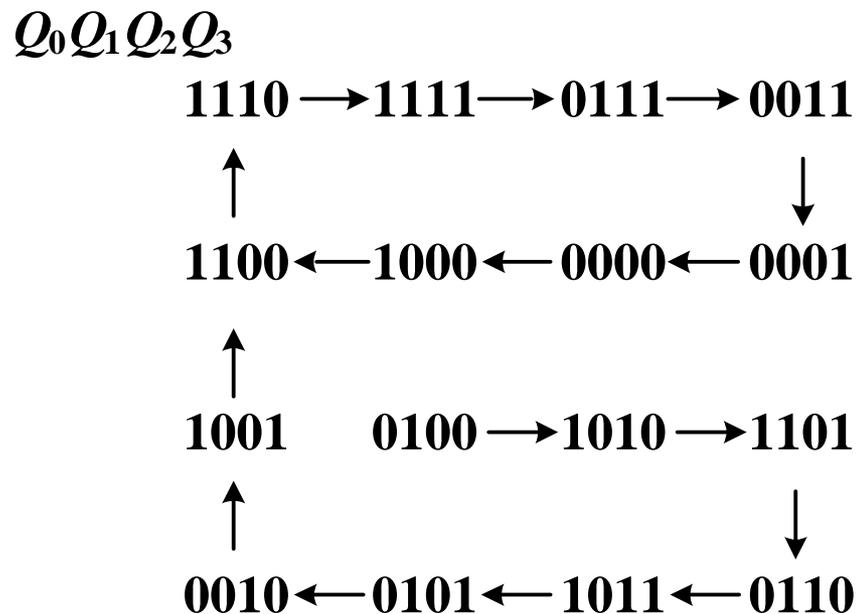
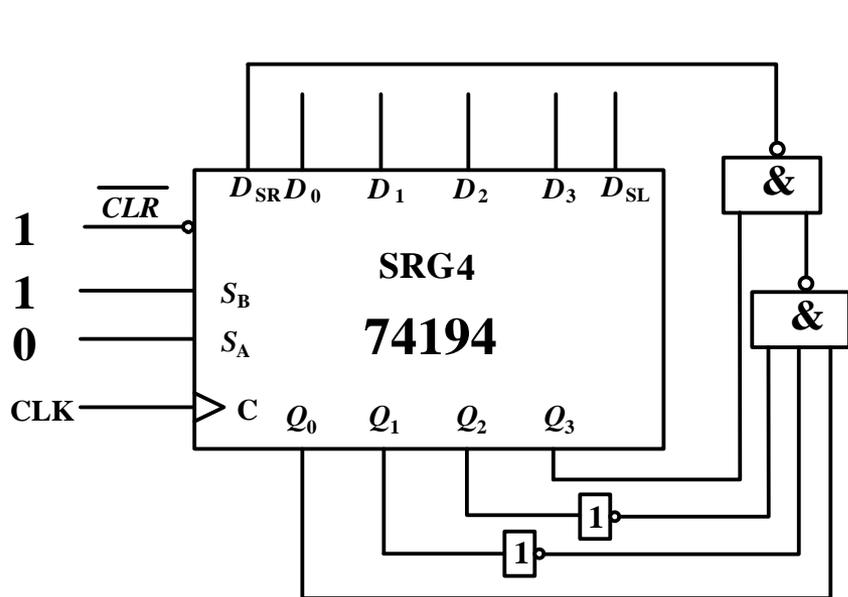
修改后的状态图

(可有多种方案)

$$D_0 = \bar{Q}_3 + Q_0\bar{Q}_2$$



(3) 用中规模集成移位计数器构成扭环形计数器



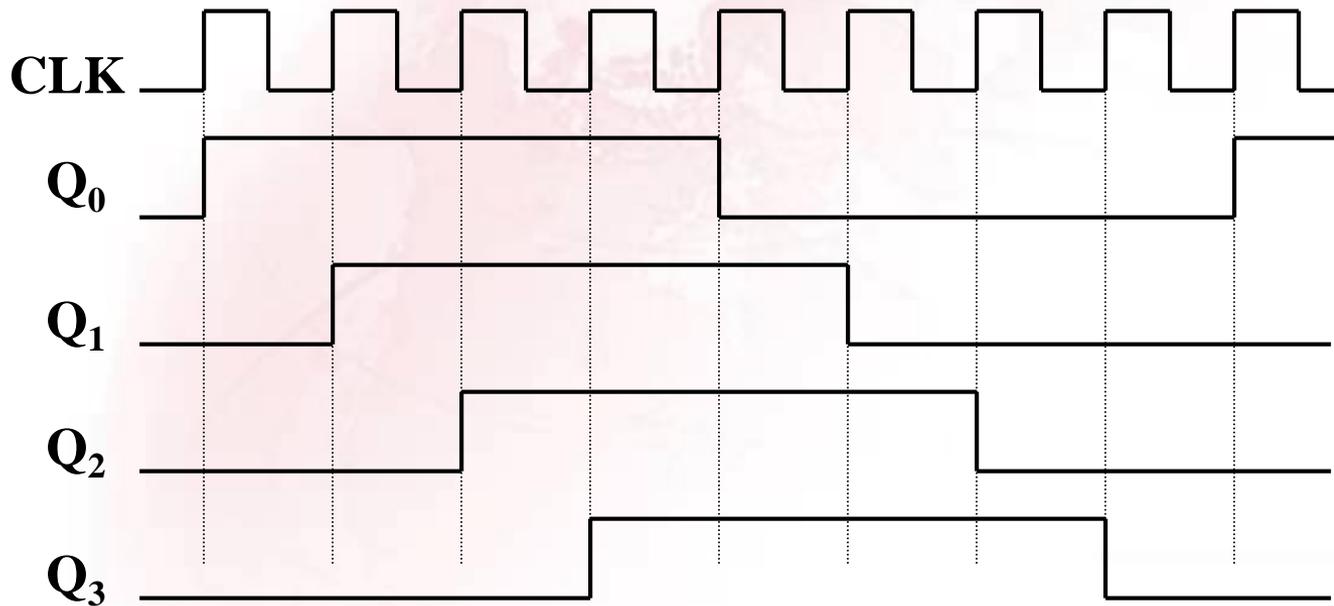
74194构成的能自启动扭环形计数器

$$D_{SR} = \bar{Q}_3 + \bar{Q}_1 \bar{Q}_2 Q_3$$



(4) 扭环形计数器的特点

- ① 扭环形计数器输出码为循环码，能有效防止冒险现象；
- ② 扭环形计数器的输出波形为：





③ 扭环形计数器状态的利用效率比环形计数器高, n 个触发器构成的扭环形计数器有 $2n$ 个有效状态, 有 $2^n - 2n$ 个无效状态.